

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Takeshi KAJIYAMA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MAGNETIC MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:  
**Application No.** \_\_\_\_\_ **Date Filed** \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

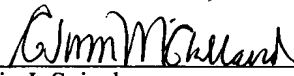
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-337511	September 29, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

0350654

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2003年 9月29日

出願番号  
Application Number:

特願2003-337511

出願人  
Applicant(s):

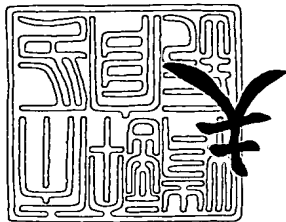
株式会社東芝

[ST. 10/C]:

[JP 2003-337511]

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



2003年10月21日

出証番号 出証特2003-3086701

特許願  
A000302408  
平成15年 9月29日  
特許庁長官 殿  
G11C 11/00  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
内

【書類名】  
【整理番号】  
【提出日】  
【あて先】  
【国際特許分類】  
【発明者】  
【住所又は居所】

【氏名】  
梶山 健  
【特許出願人】  
【識別番号】  
000003078  
株式会社 東芝  
【氏名又は名称】  
【代理人】  
【識別番号】  
100058479

【氏名又は名称】  
鈴江 武彦  
【電話番号】  
03-3502-3181  
【選任した代理人】  
【識別番号】  
100091351  
【氏名又は名称】  
河野 哲

【選任した代理人】  
【識別番号】  
100088683  
【氏名又は名称】  
中村 誠

【選任した代理人】  
【識別番号】  
100108855  
【氏名又は名称】  
蔵田 昌俊

【選任した代理人】  
【識別番号】  
100092196  
【氏名又は名称】  
村松 貞男

【手数料の表示】  
【予納台帳番号】  
011567  
【納付金額】  
21,000円

【提出物件の目録】  
【物件名】  
特許請求の範囲 1  
明細書 1  
図面 1  
要約書 1

【書類名】特許請求の範囲

【請求項 1】

第 1 の配線層からなる第 1 の配線と、前記第 1 の配線の上または下方向に、前記第 1 の配線と交差して配置された第 2 の配線層からなる第 2 の配線、および、前記第 1 の配線と前記第 2 の配線との交差位置に配置された磁気抵抗効果素子を有するメモリセル部と、前記メモリセル部の周辺に配置され、前記第 1 の配線層からなる第 3 の配線と、前記第 3 の配線の上または下方向に配置された前記第 2 の配線層からなる第 4 の配線、および、前記第 3 の配線と前記第 4 の配線との相互間に配置された、前記磁気抵抗効果素子を構成する少なくとも 1 つの磁性体層を有する周辺回路部とを具備したことを特徴とする磁気記憶装置。

【請求項 2】

前記磁性体層は、前記第 3 の配線および前記第 4 の配線の少なくとも一部に対応して配置されていることを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 3】

前記磁気抵抗効果素子は、2 つの磁性体層と、これら 2 つの磁性体層間に配置された非磁性体層とを含む 3 層構造を有することを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 4】

前記第 1 および第 2 の配線は Y ー ク構造を有することを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 5】

前記第 1 ないし第 4 の少なくとも 1 つの配線が Y ー ク構造を有することを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 6】

前記メモリセル部は、前記磁気抵抗効果素子に電氣的に接続されたスイッチング素子をさらに備えることを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 7】

第 1 の配線層を用いて、メモリセル部の第 1 の配線および周辺回路部の第 3 の配線を形成する工程と、

前記第 1 の配線の一部に絶縁膜を介して少なくとも 1 つの磁性体層を有する磁気抵抗効果素子を形成するとともに、前記第 3 の配線上に絶縁膜を介して、前記磁性体層を形成する工程と、

第 2 の配線層を用いて、前記磁気抵抗効果素子の形成位置で前記第 1 の配線と交差する第 2 の配線、および、前記磁性体層を介して、前記第 3 の配線と少なくとも 1 部が重なる第 4 の配線を形成する工程と

を具備したことを特徴とする磁気記憶装置の製造方法。

【請求項 8】

前記磁性体層は、前記第 3 の配線の少なくとも一部に対応して形成されることを特徴とする請求項 7 に記載の磁気記憶装置の製造方法。

【請求項 9】

前記磁気抵抗効果素子は、2 つの磁性体層と、これら 2 つの磁性体層間に配置された非磁性体層とを含む 3 層構造を有して形成されることを特徴とする請求項 7 に記載の磁気記憶装置の製造方法。

【請求項 10】

前記第 1 および第 2 の配線は Y ー ク構造を有して形成されることを特徴とする請求項 7 に記載の磁気記憶装置の製造方法。

【請求項 11】

前記第 1 ないし第 4 の少なくとも 1 つの配線が Y ー ク構造を有して形成されることを特徴とする請求項 7 に記載の磁気記憶装置の製造方法。

【請求項 12】

前記磁気抵抗効果素子に電氣的に接続されたスイッチング素子を形成する工程をさらに

備えることを特徴とする請求項 7 に記載の磁気記憶装置の製造方法。

【請求項 1 3】

前記周辺回路部は、前記メモリセル部の周辺に形成されることを特徴とする請求項 7 に記載の磁気記憶装置の製造方法。

## 【書類名】 明細書

## 【発明の名称】 磁気記憶装置およびその製造方法

## 【技術分野】

【0001】

本発明は、磁気記憶装置およびその製造方法に関するもので、特に、記憶素子にMTJ (Magnetic Tunnel Junction) 構造を用いたMRAM (Magnetic Random Access Memory) に関するものである。

## 【背景技術】

【0002】

従来、トンネル型磁気抵抗 (Tunneling Magnetoresistive: 以下、TMRと略記する) 効果を利用した磁気記憶装置、いわゆるMRAMが提案されている (たとえば、非特許文献1参照)。

【0003】

図49は、従来のMRAMの基本構成を示すものである。同図に示すように、たとえば、P型半導体基板 (または、ウェル領域) 101の表面部には、STI (Shallow Trench Isolation) 構造の複数の素子分離領域102が形成されている。上記複数の素子分離領域102の形成領域を除く、各素子領域には、複数のMOSFET (Metal Oxide Semiconductor) 103a、103bが選択的に設けられている。つまり、上記複数の素子分離領域102によって画定された各素子領域に対応する、上記P型半導体基板101の表面部には、たとえば、N型の複数の拡散層104a、104bが選択的に形成されている。上記複数の拡散層104a、104bの相互間に対応する、上記P型半導体基板101の表面部には、それぞれゲート酸化膜を介して、ゲート電極105a、105bが設けられている。

【0004】

上記P型半導体基板101上には絶縁膜106が設けられている。上記絶縁膜106内には、たとえば、第1層107〜第5層111の複数の配線が形成されている。この例の場合、第1層107には、配線107a、107b、107c、107d、107e、107f、107gが設けられている。第2層108には、配線108a、108b、108c、108d、108e、108f、108gが設けられている。第3層109には、配線109a、109b、109c、109d、109e、109f、109gが設けられている。第4層110には、配線110a、110bが設けられている。第5層111には、配線111a、111b、111c、111dが設けられている。

【0005】

また、上記絶縁膜106内には、たとえば、上記複数の拡散層104a、104bと上記第1層107の各配線107a、107c、107e、107gとをそれぞれ接続する、第1のコンタクトプラグ112a、112c、112e、112gが設けられている。また、たとえば、上記第1層107の各配線107a、107c、107e、107gと上記第2層108の各配線108a、108c、108e、108gとをそれぞれ接続する、第2のコンタクトプラグ113a、113c、113e、113gが設けられている。また、たとえば、上記第2層108の各配線108a、108c、108e、108gと上記第3層109の各配線109a、109c、109e、109gとをそれぞれ接続する、第3のコンタクトプラグ114a、114c、114e、114gが設けられている。また、たとえば、上記第3層109の各配線109a、109cと上記第4層110の各配線110a、110bとをそれぞれ接続する、第4のコンタクトプラグ115a、115c、および、上記第3層109の各配線109e、109gと上記第5層111の各配線111b、111dとをそれぞれ接続する、第4のコンタクトプラグ115e、115gが設けられている。さらに、たとえば、上記第4層110の各配線110a、110bと上記第5層111の配線111aとは、それぞれ、TMR素子116a、116bを介して接続されている。

## 【0006】

このような構成のMRAMは、メモリセル部とこのメモリセル部を制御するコア・周辺回路部とを有して構成されている。上記メモリセル部において、上記TMR素子116a、116bにつながる配線111aはビット線として機能する。また、上記第4層110の各配線110a、110bと接続されていない、上記第3層109の各配線109b、109dは書き込みワード線として機能する。この書き込みワード線109b、109dは、上記ビット線111aと直交するように配置されている。そして、上記TMR素子116a、116bは、上記ビット線111aと上記書き込みワード線109b、109dとの交点に配置され、それぞれ記憶素子として用いられる。なお、このTMR素子116a、116bに電氣的に接続された上記MOSFET103aは、スイッチング素子として機能する。このMOSFET103aの上記ゲート電極105aは、読み出しワード線として機能する。

## 【0007】

図50は、上記した構成におけるメモリセル部(MRAMセル)の等価回路を示すものである。図50に示すように、ビット線111aと書き込みワード線109b(または、109d)および読み出しワード線105aとが互いに直交するように配置されている。そして、ビット線111aと書き込みワード線109b(または、109d)との交点に、TMR素子116a(または、116b)が配置されている。このTMR素子116a(または、116b)の一端はビット線111aに接続され、他端はMOSFET103aに接続されている。このMOSFET103aのゲート電極105aが、上記読み出しワード線となっている。

## 【0008】

図51は、上記TMR素子116a、116bの構成例を示すものである。TMR素子116a、116bは、2つの磁性層と、これら磁性層に挟まれた非磁性層とからなる層構造になっている。つまり、TMR素子116a、116bは、たとえば、磁化固着層(磁性層)116-1、トンネル接合層(非磁性層)116-2、および、磁気記録層(磁性層)116-3を積層してなる構成とされている。

## 【0009】

ここで、上記磁化固着層116-1は反強磁性層と強磁性層とで構成されており、磁化の向きが一方方向に固定されているためにピッチ層と呼ばれる。これに対し、上記磁気記録層116-3は強磁性層によって形成されており、磁化の方向が自由に変わることから、情報を蓄積するためのメモリ層と呼ばれる。この磁気記録層116-3の磁化の方向は、上記ビット線111aに流れる電流と上記書き込みワード線109b、109dに流れる電流とで形成される、合成磁界(電流磁界)によって変化させることができる。

## 【0010】

このような構成のMRAMセルに対する、情報の書き込み・読み出し動作について簡単に説明する。たとえば、TMR素子116aに“1”または“0”の情報を書き込む場合は、まず、書き込みワード線109bおよびビット線111aを選択する。その選択された書き込みワード線109bおよびビット線111aに電流(書き込み電流)を流して、それぞれ電流磁界を発生させる。すると、選択された書き込みワード線109bおよびビット線111aの交点に位置する選択セル(TMR素子116a)にかかる磁界のみが、そのTMR素子116aの磁化の反転閾値を超え、これによりTMR素子116aに対する情報の書き込みが行われる。

## 【0011】

この際、磁化固着層116-1および磁気記録層116-3の磁化の方向が、たとえば平行になった場合、トンネル接合層116-2に電流を流すことにより検出されるトンネル抵抗は最も低い値となり、この状態で“1”を記憶させることができる。これに対し、磁化固着層116-1および磁気記録層116-3の磁化の方向が、たとえば反平行になった場合、トンネル接合層116-2に電流を流すことにより検出されるトンネル抵抗は最も高い値となり、この状態で“0”を記憶させることができる。つまり、MRAMでは、このトンネル

ル抵抗の差を、“1”または“0”の情報として記憶する。

【0012】

一方、TMR素子116aに書き込まれた“1”または“0”の情報を読み出す場合は、まず、読み出しワード線105aおよびビット線111aを選択する。すると、ビット線111aからTMR素子116aおよびMOSFET103aを介して、グラフ(Gnd)線に電流が流れる。このGnd線に流れる電流の違いを、トンネル抵抗の差としてコフ・周辺回路部で読み取ることにより、TMR素子116aに対する情報(“1”または“0”)の判定が行われる。

【非特許文献1】ISSCC2000 Technical Digest p. 1  
28 "A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell"

【発明の開示】

【発明が解決しようとする課題】

【0013】

上記した構成のMRAMにおいて、書き込み電流の低減のためには、ビット線111aと書き込みワード線109b、109dとを、できるだけ近接させて配置するのが望ましい。

【0014】

ところが、上記のようなメモリセル部を有する従来のMRAMにおいては、メモリセル部の周辺に、メモリセル部を制御するためのコフ・周辺回路部が設けられる。このコフ・周辺回路部は、コスト・パフォーマンスなどの問題から、メモリセル部と同一プロセスにより形成されるのが通常である。したがって、ビット線111aと書き込みワード線109b、109dとを近接させて配置することは、必然的に、コフ・周辺回路部における第4層109fと第5層111の配線111cとが近接して配置されることになる。

【0015】

しかしながら、複数の配線を近接させて配置するようにした場合、インダクタンス成分が発生しやすくなる。特に、非常に近接した2本の配線をコフ・周辺回路部に用いるようにした場合、一方の配線に電流を流すと、他方の配線に起電力が発生させる可能性がある。つまり、ビット線111aおよび書き込みワード線109b、109dは、ますます接近する可能性がある。その場合、コフ・周辺回路部の第3層109fおよび第5層111の配線111cも非常に接近することになる結果、インダクタンス成分の発生が大きな問題となる。この成分は、ヨーテ配線を使用することにより、さらに大きくなると予想される。

【0016】

上記したように、従来のMRAMにおいては、書き込み電流の低減のためにビット線と書き込みワード線とを近接させて配置するようにした場合、それにとまコフ・周辺回路部での配線の近接によるインダクタンス成分の発生が懸念されており、特に、近接した配線間での起電力による干渉が問題となる可能性があった。

【0017】

本発明は、上記の課題を解決するためになされたものであって、その目的とするところは、コスト・パフォーマンスを悪化させることなしに、近接した配線間で発生する起電力による干渉を低減させることが可能な磁気記憶装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0018】

本願発明の一態様によれば、第1の配線層からなる第1の配線と、前記第1の配線の上または下方向に、前記第1の配線と交差して配置された第2の配線層からなる第2の配線と、および、前記第1の配線と前記第2の配線との交差位置に配置された磁気抵抗効果素子



を有するメモリセル部と、前記メモリセル部の周辺に配置され、前記第1の配線層からなる第3の配線と、前記第3の配線の上または下方向に配置された前記第2の配線層からなる第4の配線、および、前記第3の配線と前記第4の配線との相互間に配置された、前記磁気抵抗効果素子を構成する少なくとも1つの磁性体層を有する周辺回路部とを具備したことを特徴とする磁気記憶装置が提供される。

【0019】

また、本願発明の一態様によれば、第1の配線層を用いて、メモリセル部の第1の配線および周辺回路部の第3の配線を形成する工程と、前記第1の配線の一部に絶縁膜を介して少なくとも1つの磁性体層を有する磁気抵抗効果素子を形成するとともに、前記第3の配線上に絶縁膜を介して、前記磁性体層を形成する工程と、第2の配線層を用いて、前記磁気抵抗効果素子の形成位置で前記第1の配線と交差する第2の配線、および、前記磁性体層を介して、前記第3の配線と少なくとも1つの磁性体層を形成する工程とを具備したことを特徴とする磁気記憶装置の製造方法が提供される。

【0020】

上記した構成とした場合、特別なプロセスの追加を必要とすることなく、近接する配線間でのインダクタンス成分の影響を回避できるようにする。これにより、書き込み電流の低減のためにビット線と書き込みワード線とを近接させて配置するようにした場合にも、周辺回路部での配線の近接による起電力の発生を抑えることが可能となるものである。

【発明の効果】

【0021】

この発明によれば、コスト・パフォーマンスを悪化させることなく、近接した配線間で発生する起電力による干渉を低減させることが可能な磁気記憶装置およびその製造方法を提供できる。

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施形態について図面を参照して説明する。

【0023】

【第1の実施形態】

図1は、この発明の第1の実施形態にしたがった、磁気記憶装置（以下、MRAMと略記する）の構成例を示すものである。ここでは、書き込み電流の低減のためにビット線と書き込みワード線とを近接させて配置するようにした場合において、周辺回路部での配線の近接によるインダクタンス成分の発生を、MTJ素子と同一のMTJ構造をもつ磁性体層を用いて抑制するようにした場合について説明する。

【0024】

このMRAMは、メモリセルアレイ構造（メモリセル部）および上記メモリセル部を制御するためのコア・周辺回路部を有し、任意のセル（選択セル）にランダムにアクセスすることによって、所望のTMR素子に対する情報の書き込み・読み出し動作を可能にしたものである。上記メモリセル部には、記憶素子として用いられるTMR素子をそれぞれに備えた複数個のメモリセル（MRAMセル）がマトリクス状に配置されている。上記コア・周辺回路部は、デコーダおよびセンス回路などを有し、上記メモリセル部の周辺に配置されている。

【0025】

すなわち、図1に示すように、たとえば、P型半導体基板（または、ウェル領域）11の表面部には、STI構造の複数の素子分離領域12が形成されている。上記複数の素子分離領域12の形成領域を除く、各素子領域には、複数のMOSFET13a、13bが選択的に設けられている。つまり、上記複数の素子分離領域12によって画定された、メモリセル部に対応する上記P型半導体基板11の表面部には、たとえば、N型の複数の拡散層14aが選択的に形成されている。上記複数の拡散層14aの相互間に対応する、上記P型半導体基板11の表面上には、それぞれゲート酸化膜を介して、複数のゲート電極15aが設けられている。同様に、上記複数の素子分離領域12によって画定された、コ

ア・周辺回路部に対応する上記P型半導体基板11の表面部には、たとえば、N型の複数  
の拡散層14bが選択的に形成されている。上記複数の拡散層14bの相互間に対応する  
、上記P型半導体基板11の表面上には、それぞれゲート酸化膜を介して、複数のゲート  
電極15bが設けられている。

#### 【0026】

上記P型半導体基板11上には、絶縁膜（たとえば、TEOS：Tetra Etho  
xy Silane）16が設けられている。上記絶縁膜16内には、複数の配線および  
コンタクトプラグが形成されている。メモリセル部の上記絶縁膜16内には、たとえば、  
第1層目の配線17a、17b、17c、17d、第2層目の配線18a、18b、18  
c、18d、第3層目の配線19a、19b、19c、19d、第4層目の配線20a、  
20b、および、第5層目の配線21aが設けられている。また、コア・周辺回路部の上  
記絶縁膜16内には、たとえば、第1層目の配線17e、17f、17g、第2層目の配  
線18e、18f、18g、第3層目の配線19e、19f、19g、第4層目の配線20  
c、および、第5層目の配線21b、21c、21dが設けられている。なお、少なく  
とも上記第1層目の各配線17a、17b、17c、17d、17e、17f、17g、  
上記第2層目の各配線18a、18b、18c、18d、18e、18f、18g、およ  
び、上記第3層目の各配線19a、19b、19c、19d、19e、19f、19gの  
上下には、たとえば、バリアメタル用の金属膜31がそれぞれ設けられている。

#### 【0027】

また、上記絶縁膜16内には、たとえば、上記複数の拡散層14a、14bと上記第1  
層目の各配線17a、17c、17e、17gとをそれぞれ接続する、第1のコンタクト  
プラグ22a、22c、22e、22gが設けられている。また、上記絶縁膜16内には、たとえ  
ば、上記第2層目の各配線18a、18c、18e、18gと上記第3層目の各配線19  
a、19c、19e、19gとをそれぞれ接続する、第3のコンタクトプラグ24a、2  
4c、24e、24gが設けられている。また、上記絶縁膜16内には、たとえば、上記  
第3層目の各配線19a、19cと上記第4層目の各配線20a、20bとをそれぞれ接  
続する第4のコンタクトプラグ25a、25c、および、上記第3層目の各配線19e、  
19gと上記第5層目の各配線21b、21dとをそれぞれ接続する第5のコンタクト  
プラグ25e、25gが設けられている。

#### 【0028】

さらに、たとえば、上記第4層目の各配線20a、20bと上記第5層目の配線21a  
とは、それぞれ、TMR素子26a、26bを介して接続されている。また、たとえば、  
上記第4層目の配線20cと上記第5層目の配線21cとは、MTJ膜27を介して接続  
されている。つまり、上記MTJ膜27は、第3層目の配線19fと第5層目の配線21  
cとの間に選択的に設けられている。このMTJ膜27は、本実施形態の場合、上記TMR  
素子26a、26bと同一のMTJ構造を有して形成されている。

#### 【0029】

ここで、上記TMR素子26a、26bおよび上記MTJ膜27は、たとえば図51に  
示したように、2つの磁性層と、これら磁性層に挟まれた非磁性層とからなる3層構造（  
MTJ構造）になっている。つまり、上記TMR素子26a、26bおよび上記MTJ膜  
27は、たとえば、磁性層としての磁化固着層（ピン層）116-1、非磁性層としてのト  
ンネル接合層116-2、および、磁性層としての磁気記録層（メモリ層）116-3を積層  
してなる構成とされている。ただし、上記MTJ膜27は、情報を記憶するための素子と  
しては機能しない。

#### 【0030】

このような構成のMRAMにおいては、上記メモリセル部の、上記TMR素子26a、  
26bにつながる第5層目の配線21aがビット線として機能する。また、上記第4層目

の各配線 20a, 20b と接続されていない、上記第 3 層目の各配線 19b, 19d が書き込みワード線として機能する。この書き込みワード線 19b, 19d は、上記ビット線 21a と直交するように配置されている。そして、上記 TMR 素子 26a, 26b は、上記ビット線 21a と上記書き込みワード線 19b, 19d との交点に配置され、それぞれ記憶素子として用いられる。なお、この TMR 素子 26a, 26b に電気的に接続された上記 MOSFET 13a は、スイッチング素子として機能する。この MOSFET 13a の上記ゲート電極 15a は、読み出しワード線として機能する。

#### 【0031】

一方、コフ・周辺回路部の上記 MTJ 膜 27 は、第 3 層目の配線 19f と第 5 層目の配線 21c との間での、インダクタンスの発生を抑制するために用いられる。本実施形態の場合、上記第 3 層目の配線 19f および上記第 5 層目の配線 21c は、共に、上記ビット線 21a と直交するように配置されている。上記第 3 層目の配線 19f および上記第 5 層目の配線 21c の相互間において、上記 MTJ 膜 27 が選択的に形成される位置は、回路特性上、インダクタンスの発生が好ましくない部位であり、また、キャパシタンスなどの影響が比較的不い部位となっている。

#### 【0032】

このような構成によれば、たとえコフ・周辺回路部の第 3 層目の配線 19f および第 5 層目の配線 21c の相互がより近接したとしても、MTJ 膜 27 によるインダクタンスの影響の回避が可能である。つまり、書き込み電流の低減のためにビット線 21a と書き込みワード線 19b, 19d とを近接させて配置するようにした場合にも、MTJ 膜 27 によって、近接した上記配線 19f, 21c 間での起電力による干渉を低減できる。

#### 【0033】

次に、上記した構成の MRAM の製造方法について説明する。なお、上記した第 4 のコネクタ プラゲ 25a, 25c までは従来と同様のプロセスにより形成できるため、ここでの詳細な説明は割愛する。すなわち、第 3 層目の各配線 19a, 19b, 19c, 19d, 19e, 19f, 19g, および、上記各配線 19a, 19b, 19c, 19d, 19e, 19f, 19g 上の金属膜 31 を形成した後、たとえば図 2 に示すように、全面にメモリセル部およびコフ・周辺回路部) に絶縁膜 16a を形成する。

#### 【0034】

次いで、その表面が平坦化された上記絶縁膜 16a に、金属膜 32 を介して、上記第 3 層目の各配線 19a, 19c につながる第 4 のコネクタ プラゲ 25a, 25c を形成する。この後、全面に金属膜 20、磁性層と非磁性層とからなる 3 層構造膜 116 および、レジスト膜 33 を順に形成する(たとえば、図 3 参照)。次いで、上記レジスト膜 33 をパターンニングして、上記 TMR 素子 26a, 26b および上記 MTJ 膜 27 の形成部にマスクパターン 33a を形成する(たとえば、図 4 参照)。

#### 【0035】

次いで、そのマスクパターン 33a をマスク材に上記 3 層構造膜 116 を選択的にエッチングして、上記 TMR 素子 26a, 26b および上記 MTJ 膜 27 となる、磁化固定層 116-1、トンネル接合層 116-2、および、磁気記録層 116-3 を加工する。その後、全面に絶縁膜 16b を形成する(たとえば、図 5 参照)。次いで、上記絶縁膜 16b および上記金属膜 20 を加工して、上記 TMR 素子 26a, 26b および上記 MTJ 膜 27 にそれぞれつながる、第 4 層目の各配線 20a, 20b, 20c を形成する(たとえば、図 6 参照)。

#### 【0036】

次いで、たとえば図 7 に示すように、全面に絶縁膜 16c を形成した後、上記絶縁膜 16c, 16b を CMP (Chemical Mechanical Polish) 処理する。これにより、上記 TMR 素子 26a, 26b および上記 MTJ 膜 27 の、上記磁気記録層 116-3 の表面を露出させる(たとえば、図 8 参照)。次いで、上記絶縁膜 16c, 16a に、上記第 3 層目の各配線 19e, 19g につながるコネクタ トホール 34, 34 を開孔する(たとえば、図 9 参照)。次いで、たとえば図 10 に示すように、全面に金

属膜 35, 21, 36 を形成する。そして、上記金属膜 35, 21, 36 を加工して、第 5 層目の各配線 21a, 21b, 21c, 21d を形成するとともに、上記第 3 層目の各配線 19e, 19g につながる第 5 のコンタクトフラグ 25e, 25g を形成する。この後、全面に絶縁膜を形成し、その表面を平坦化することにより、図 1 に示した構成の MRAM が完成する。

#### 【0037】

上記したように、特別なプロセスの追加を必要とすることなく、近接する配線間でのインダクタンスの影響を回避できるようにしている。すなわち、メモリセル部とこのメモリセル部を制御するコフ・周辺回路部とを備える MRAM において、コフ・周辺回路部の下に配置された配線 19f, 21c の相互間に、TMR 素子 26a, 26b と同一の MTJ 構造の MTJ 膜 27 を設けるようにしている。これにより、書き込み電流の低減のためにビット線 21a と書き込みワード線 19b, 19d とを近接させて配置するようにした場合にも、コフ・周辺回路部での配線 19f, 21c の近接による起電力の発生を抑えることが可能となる。したがって、近接した配線 19f, 21c 間で発生する起電力による干渉を低減できるようになるものである。

#### 【0038】

しかも、TMR 素子 26a, 26b の形成と同時に、MTJ 膜 27 を自動的に形成することができ、TMR 素子 26a, 26b を形成するためのリソグラフィ工程において、TMR 素子 26a, 26b を構成する 3 層構造膜 116 が、コフ・周辺回路部内の所定の部位にも残存するようにマスクパターンをデザインすることのみによって簡単に形成できる。そのため、特別なプロセスの追加など、コスト・パフォーマンスを悪化させることもない。

#### 【0039】

なお、上記 MTJ 膜 27 の形成に関しては、第 3 層目の配線 19f と第 5 層目の配線 21c とのコンタクト部分（フラグの形成位置）を避けるとともに、たとえば、配線間容量を考慮しつつ、インダクタンス抑制の効果が最大となるようにパターンニングすることが望ましい。

#### 【0040】

#### 【第 2 の実施形態】

図 11 は、この発明の第 2 の実施形態にしたがった MRAM の構成例を示すものである。ここでは、書き込み電流の低減のためにビット線と書き込みワード線とを近接させて配置するようにした場合において、周辺回路部での配線の近接によるインダクタンス成分の発生を抑制させるために、MTJ 素子を構成する複数の膜のうちの一部の磁性層（磁性体）を用いるようにした場合について説明する。なお、図 1 と同一部分には同一符号を付し、詳しい説明は割愛する。

#### 【0041】

本実施形態の場合、たとえば、上記第 4 層目の各配線 20a, 20b と上記第 5 層目の配線 21a とは、それぞれ、上記 TMR 素子 26a, 26b を介して接続されている。一方、たとえば、上記第 4 層目の配線 20c 上には MTJ 膜 27a が設けられているもの、上記第 4 層目の配線 20c と上記第 5 層目の配線 21c とは電氣的に接続されていない。すなわち、上記 TMR 素子 26a, 26b は、たとえば図 51 に示したように、磁性層としての磁化固着層（ピニ層）116-1、非磁性層としてのトンネル接合層 116-2、および、磁性層としての磁気記録層（メモリ層）116-3 を積層してなる構成とされている。これに対し、上記第 3 層目の配線 19f と上記第 5 層目の配線 21c との間の、上記第 4 層目の配線 20c 上には、上記トンネル接合層 116-2 および上記磁気記録層（磁性膜）116-3 からなる上記 MTJ 膜 27a が選択的に配置されている。つまり、上記 MTJ 膜 27a は、上記 TMR 素子 26a, 26b を構成する上記磁化固着層 116-1、上記トンネル接合層 116-2 および上記磁気記録層 116-3 のうち、たとえば、上記磁化固着層 116-1 を除く、上記トンネル接合層 116-2 および上記磁気記録層 116-3 のみが積層されてなる構成となっている。

## 【0042】

このような構成とした場合にも、上述した第1の実施形態の場合と同様に、コア・周辺回路部の第3層目の配線19fおよび第5層目の配線21cの近接によるインダクタンスの影響の回避が可能である。つまり、書き込み電流の低減のためにビット線21aと書き込みワード線19b、19dとを近接させて配置するようにした場合にも、上記MTJ膜27aによって、近接した上記配線19f、21c間での起電力による干渉を低減できる。

## 【0043】

次に、上記した構成のMRAMの製造方法について説明する。なお、上記した第4のコクタクトプラグ25a、25cまでは従来と同様のプロセスにより形成できるため、ここでの詳細な説明は割愛する。すなわち、第3層目の各配線19a、19b、19c、19d、19e、19f、19g、および、上記各配線19a、19b、19c、19d、19e、19f、19g上の金属膜31を形成した後、たとえば図12に示すように、全面（メモリセル部およびコア・周辺回路部）に絶縁膜16aを形成する。

## 【0044】

次いで、その表面が平坦化された上記絶縁膜16aに、金属膜32を介して、上記第3層目の各配線19a、19cにつながる第4のコクタクトプラグ25a、25cを形成する。この後、全面に金属膜20および磁化固定層116-1を形成する（たとえば、図13参照）。次いで、メモリセル部にのみレジスト膜41を形成し（たとえば、図14参照）、そのレジスト膜41をマスク材に、コア・周辺回路部の上記磁化固定層116-1をすべて除去する（たとえば、図15参照）。

## 【0045】

次いで、上記レジスト膜41を剥離した後、たとえば図16に示すように、全面に、トンネル接合層116-2および磁気記録層116-3を順に形成する。これにより、メモリセル部のみ、3層構造膜116が形成される。次いで、メモリセル部の上記3層構造膜116、および、コア・周辺回路部の上記トンネル接合層116-2および磁気記録層116-3をそれぞれ選択的にエッチングして、上記TMR素子26a、26bおよび上記MTJ膜27aを形成する（たとえば、図17参照）。

## 【0046】

次いで、たとえば図18に示すように、全面に絶縁膜16bを形成する。そして、その絶縁膜16bおよび上記金属膜20を加工して、上記TMR素子26a、26bおよび上記MTJ膜27aにそれぞれつながる、第4層目の各配線20a、20b、20cを形成する（たとえば、図19参照）。次いで、たとえば図20に示すように、全面に絶縁膜16cを形成した後、上記絶縁膜16c、16bをCMP処理する。これにより、上記TMR素子26a、26bの、上記磁気記録層116-3の表面だけを露出させる（たとえば、図21参照）。

## 【0047】

これ以降、上述した第1の実施形態の場合と同様に、第5層目の各配線21a、21b、21c、21dおよび第5のコクタクトプラグ25e、25gの形成が行われる。つまり、上記絶縁膜16c、16aに、上記第3層目の各配線19e、19gにつながるコクタクトホール34、34を開孔する（たとえば、図22参照）。次いで、たとえば図23に示すように、全面に金属膜35、21、36を形成する。そして、上記金属膜35、21、36を加工して、第5層目の各配線21a、21b、21c、21dを形成するとともに、上記第3層目の各配線19e、19gにつながる第5のコクタクトプラグ25e、25gを形成する。この後、全面に絶縁膜を形成し、その表面を平坦化することにより、図11に示した構成のMRAMが完成する。

## 【0048】

上記したように、メモリセル部とこのメモリセル部を制御するコア・周辺回路部とを備えるMRAMにおいて、コア・周辺回路部の上下に配置された配線19f、21cの相互間に、TMR素子26a、26bの形成に用いる、少なくとも磁気記録層116-3を含む

MTJ膜27aを設けることによっても、コア・周辺回路部での配線19f, 21cの近接による起電力の発生を抑えることが可能である。この第2の実施形態の場合も、上記MTJ膜27aは簡単に形成できるため、特別なプロセスの追加など、コスト・パワーマグネティクスを悪化させることもない。

#### 【0049】

特に、コア・周辺回路部においては、3層構造膜116を加工する場合に、その膜厚の薄さから、パターンの粗密による加工性の違いにより、ジヤンクシヨンのシヨトを生じ、3層構造膜116のうち、一部の磁性層（この第2の実施形態の場合、磁気記録層116-3）のみを残すことが、加工する上で有利となる可能性がある。

#### 【0050】

また、本実施形態の場合、第4層目の配線20cおよび第5層目の配線21cは電氣的に接続されておらず、第4層目の配線20cおよび第5層目の配線21cがシヨトする可能性はほとんどない。つまり、第5層目の配線21cは、絶縁膜16bを介して、磁気記録層116-3と接続されている。したがって、たとえ書き込み・読み出し配線が共通になつて、クロスポイント型のセルにおいても、上下の配線がジヤンクシヨンを介して接続されるのを防ぐことができる。

#### 【0051】

なお、本実施形態の場合においても、上記MTJ膜27aの形成に関しては、第3層目の配線19fと第5層目の配線21cとのコンタクト部分（プラグの形成位置）を避けるとともに、たとえば、配線間容量を考慮しつつ、インダクタンス抑制の効果が最大となるようにパターニングすることが望ましい。

#### 【0052】

#### 【第3の実施形態】

図24は、この発明の第3の実施形態にしたがったMRAMの構成例を示すものである。ここでは、書き込み電流の低減のためにビット線と書き込みワード線とを近接させて配置するようにした場合において、周辺回路部での配線の近接によるインダクタンス成分の発生を抑制させるために、MTR素子を構成する複数の膜のうちの一部の磁性層（磁性体）を用いるようにした場合の、さらに別の例について説明する。なお、図11と同一部分には同一符号を付し、詳しい説明は割愛する。

#### 【0053】

本実施形態の場合、たとえば、上記第4層目の各配線20a, 20bと上記第5層目の配線21aとは、それぞれ、上記TMR素子26a, 26bを介して接続されている。一方、たとえば、上記第4層目の配線20c上にはMTJ膜27bが設けられているもの、上記第4層目の配線20cと上記第5層目の配線21cとは電氣的に接続されていない。すなわち、上記TMR素子26a, 26bは、たとえば図51に示したように、磁性層としての磁化固定層（ピニ層）116-1、非磁性層としてのトンネル接合層116-2、および、磁性層としての磁気記録層（メモリ層）116-3を積層してなる構成とされている。これに対し、上記第3層目の配線19fと上記第5層目の配線21cとの間の、上記第4層目の配線20c上には、上記磁化固定層（磁性膜）116-1からなる上記MTJ膜27bが選択的に配置されている。つまり、上記MTJ膜27bは、上記TMR素子26a, 26bを構成する上記磁化固定層116-1、上記トンネル接合層116-2および上記磁気記録層116-3のうち、たとえば、上記磁気記録層116-3および上記トンネル接合層116-2を除く、上記磁化固定層116-1のみによって形成されてなる構成となっている。

#### 【0054】

このような構成とした場合にも、上述した第1, 第2の実施形態の場合と同様に、コア・周辺回路部の第3層目の配線19fおよび第5層目の配線21cの近接によるインダクタンスの影響の回避が可能である。つまり、書き込み電流の低減のためにビット線21aと書き込みワード線19b, 19dとを近接させて配置するようにした場合にも、上記M

TJ膜27bによって、近接した上記配線19f、21c間での起電力による干渉を低減できる。

#### 【0055】

次に、上記した構成のMRAMの製造方法について説明する。なお、上記した第4のコネクタクトラフ25a、25cまでは従来と同様のプロセスにより形成できるため、ここでの詳細な説明は割愛する。すなわち、第3層目の各配線19a、19b、19c、19d、19e、19f、19g、および、上記各配線19a、19b、19c、19d、19e、19f、19g上の金属膜31を形成した後、たとえば図25に示すように、全面(Mメモリセル部およびコア・周辺回路部)に絶縁膜16aを形成する。

#### 【0056】

次いで、その表面が平坦化された上記絶縁膜16aに、金属膜32を介して、上記第3層目の各配線19a、19cにつながる第4のコネクタクトラフ25a、25cを形成する。この後、全面に金属膜20を形成するとともに、磁化固着層116-1、トンネル接合層116-2および磁気記録層116-3とからなる3層構造膜116を形成する(たとえば、図26参照)。次いで、メモリセル部にのみレジスト膜41を形成し(たとえば、図27参照)、そのレジスト膜41をマスク材に、コア・周辺回路部の上記磁気記録層116-3および上記トンネル接合層116-2をすべて除去する(たとえば、図28参照)。

#### 【0057】

次いで、上記レジスト膜41を剥離した後、たとえば図29に示すように、メモリセル部の上記3層構造膜116、および、コア・周辺回路部の上記磁化固着層116-1をそれぞれ選択的にエッチングして、上記TMR素子26a、26bおよび上記MTJ膜27bを形成する。次いで、全面に絶縁膜16bを形成する(たとえば、図30参照)。そして、その絶縁膜16bおよび上記金属膜20を加工して、上記TMR素子26a、26bおよび上記MTJ膜27bにそれぞれなる、第4層目の各配線20a、20b、20cを形成する(たとえば、図31参照)。次いで、たとえば図32に示すように、全面に絶縁膜16cを形成した後、上記絶縁膜16c、16bをCMP処理する。これにより、上記TMR素子26a、26bの、上記磁気記録層116-3の表面だけを露出させる(たとえば、図33参照)。

#### 【0058】

これ以降、上述した第1、第2の実施形態の場合と同様に、第5層目の各配線21a、21b、21c、21dおよび第5のコネクタクトラフ25e、25gの形成が行われる。つまり、上記絶縁膜16c、16aに、上記第3層目の各配線19e、19gにつながるコネクタクトホール34、34を開孔する(たとえば、図34参照)。次いで、たとえば図35に示すように、全面に金属膜35、21、36を形成する。そして、上記金属膜35、21、36を加工して、第5層目の各配線21a、21b、21c、21dを形成するとともに、上記第3層目の各配線19e、19gにつながる第5のコネクタクトラフ25e、25gを形成する。この後、全面に絶縁膜を形成し、その表面を平坦化することにより、図24に示した構成のMRAMが完成する。

#### 【0059】

上記したように、メモリセル部とこのメモリセル部を制御するコア・周辺回路部とを備えるMRAMにおいて、コア・周辺回路部の上下に配置された配線19f、21cの相互間に、TMR素子26a、26bの形成に用いる、少なくとも磁化固着層116-1を含むMTJ膜27bを設けることによっても、コア・周辺回路部での配線19f、21cの近接による起電力の発生を抑えることが可能である。この実施形態の場合も、上記MTJ膜27bは簡単に形成できるため、特別なプロセスの追加など、コスト・パフォーマンスを悪化させることもない。

#### 【0060】

また、上記した第2の実施形態の場合と同様に、コア・周辺回路部においては、3層構造膜116のうち、一部の磁性層(この実施形態の場合、磁化固着層116-1)のみを残すことが、加工する上で有利となる可能性がある。また、書き込み・読み出し配線が共

通になっているクロスボルト型のセルにおいて、上下の配線がジャンクションを介して接続されるのを防ぐこともできる。

・【0061】

なお、本実施形態の場合においても、上記MTJ膜27bの形成に関しては、第3層目の配線19fと第5層目の配線21cとのコンタクト部分（プラグの形成位置）を避けるとともに、たとえば、配線間容量を考慮しつつ、インダクタンス抑制の効果が最大となるようにパターンニングすることが望ましい。

【0062】

【第4の実施形態】

図36および図37は、この発明の第4の実施形態にしたがったMRAMの構成例を示すものである。ここでは、ヨーテ構造の配線を備えるMRAMを例に説明する。なお、図1と同一部分には同一符号を付し、詳しい説明は割愛する。すなわち、ヨーテ構造の配線を備えるMRAMの場合、たとえば図36に示すように、少なくともメモリセル部における、第3層目の各配線19a、19b、19c、19dおよび第5層目の配線21aが、それぞれ、磁性膜51を有してなる構成とされている。つまり、第3層目の各配線19a、19b、19c、19dおよび第5層目の配線21aの、それぞれTMR素子26a、26bに対抗する面以外の各面が磁性膜51によって覆われている。そして、コア・周辺回路部の、第3層目の配線19fと第5層目の配線21cとの間には、上述の第1の実施形態に示した構成のMTJ膜27が設けられている。

【0063】

このようなヨーテ構造を採用するMRAMの場合、第3層目の各配線19a、19b、19c、19dと第5層目の配線21aとの間で磁気集中が起こりやすくなる。つまり、第3層目の各配線19a、19b、19c、19dと第5層目の配線21aとの間に、よりインダクタンスの影響が生じやすい状態となっている。したがって、コア・周辺回路部の第3層目の配線19fと第5層目の配線21cとの間にMTJ膜27を配置することで、このインダクタンスの影響を効果的に回避することが可能となる。

【0064】

ヨーテ構造を採用するMRAMとしては、たとえば図37に示すように、さらにコア・周辺回路部における、第3層目の各配線19e、19f、19gおよび第5層目の各配線21b、21c、21dの、それぞれ三方の面を覆うようにして磁性膜51が設けられてなる構成とすることも可能であり、この構成のMRAMに適用した場合にも同様の効果が期待できる。

【0065】

【第5の実施形態】

図38および図39は、この発明の第5の実施形態にしたがったMRAMの構成例を示すものである。ここでは、ヨーテ構造の配線を備えるMRAMを例に説明する。なお、図11と同一部分には同一符号を付し、詳しい説明は割愛する。すなわち、MTJ膜27に限らず、ヨーテ構造を採用するMRAMにおいては、たとえば図38または図39に示すように、第2の実施形態に示した構成のMTJ膜27aによっても、コア・周辺回路部の第3層目の配線19fと第5層目の配線21cとの間のインダクタンスの影響を回避することが可能である。

【0066】

【第6の実施形態】

図40および図41は、この発明の第6の実施形態にしたがったMRAMの構成例を示すものである。ここでは、ヨーテ構造の配線を備えるMRAMを例に説明する。なお、図24と同一部分には同一符号を付し、詳しい説明は割愛する。すなわち、MTJ膜27、27aに限らず、ヨーテ構造を採用するMRAMにおいては、たとえば図40または図41に示すように、第3の実施形態に示した構成のMTJ膜27bによっても、コア・周辺回路部の第3層目の配線19fと第5層目の配線21cとの間のインダクタンスの影響を回避することが可能である。



【0067】

[第7の実施形態]

本発明の第1の実施形態～第6の実施形態にしたがったMRAM（磁気記憶装置）においては、様々な装置への適用が可能である。いくつかの適用例を、第7の実施形態として以下に説明する。

【0068】

(適用例1)

この適用例1は、たとえば図42に示すように、デジタル加入者線（DSL）用モジュールのDSLデータパス部分に、本発明の各実施形態にしたがったMRAMを用いた場合の例である。上記モジュール60は、プログラマブル・デジタル・プロセッサ（DSP）：Digital Signal Processor（D/A）コンバータ62、デジタル・アナログ（A/D）コンバータ62、デジタル・アナログ（D/A）コンバータ63、パストパストルタ（図示していない）、送信フライバ64、および、受信機増幅器65などを含んで構成されている。この例では、上記パストパストルタの代わりに、回線コードプログラムを保持するための種々のタイプのオプシヨンのメモリとして、MRAM66とEEPROM66およびEEPROM67の2種類のメモリを用いているが、EEPROM67をMRAMに置き換えてもよい。つまり、2種類のメモリの用いず、MRAMのみを用いて構成することもできる。

【0069】

ここで、上記回線コードプログラムとは、上記DSP61で実行される、コード化された加入者回線情報や伝送条件（回線コード；たとえば、QAM、CAP、RSK、FM、AM、PAM、DWMF）などに応じてモジュールを選択、動作させるためのプログラムである。また、本適用例1では、回線コードプログラムを保持するためのメモリとしてMRAM66およびEEPROM67の2種類のメモリを用いているが、EEPROM67をMRAMに置き換えてもよい。つまり、2種類のメモリの用いず、MRAMのみを用いて構成することもできる。

【0070】

(適用例2)

この適用例2は、たとえば図43に示すように、携帯電話端末70の制御にMRAMを用いる場合の例である。すなわち、この携帯電話端末70は、通信機能をもつ通信部71と、この携帯電話端末70の各部を制御する制御部72とを含んで構成されている。上記通信部71は、たとえば、送受信フテナ71a、フテナ共用器71b、受信部71c、ベースバンド処理部71d、音声コーデックとして用いられるDSP71e、スピーカ（受話器）71f、マイクロホン（送話器）71g、送信部71h、および、周波数シフトサイザ71iなどを備えている。

【0071】

一方、上記制御部72は、CPU72a、ROM72b、MRAM72c、および、フッシュメモリ72dが、CPUバス72eを介して相互に接続されて形成されたマイクロコンピュータである。上記ROM72bには、上記CPU72aにて実行されるプログラムや表示用のフットなどの、携帯電話端末70の制御に必要なフータがあらかじめ記憶されている。上記MRAM72cは主に作業領域として用いられるものであり、上記CPU72aがプログラムの実行中に計算途中のフータなどを必要に応じて記憶させたり、上記制御部72と各部との間でやり取りするフータを一時記憶させたりする場合などに用いられる。また、上記フッシュメモリ72dは、たとえば携帯電話端末70の電源オフ直前の設定条件などを設定パラメータとして記憶しておくものである。これにより、携帯電話端末70を次の電源オン時には同じ設定になるような使い方をする場合に、携帯電話端末70の電源が突然にオフされても、記憶されている設定パラメータが消失するのを防ぐことができる。

【0072】

さらに、この携帯電話端末70には、オーディオ再生処理部73、外部出力端子74、LCD（液晶ディスプレイ）コントローラ75、表示用のLCD76、および、呼び出し

音が発生するリソガ77などが設けられている。上記オーディオ再生処理部73は、携帯電話端末70に入力されたオーディオ情報（あるいは、後述する外部メモリ81に記憶されたオーディオ情報）の再生を行う。再生されたオーディオ情報は、外部出力端子74を介して、ヘッドフォンや携帯型スピーカなどに送られることにより、外部に取り出すことが可能である。このオーディオ再生処理部73を設けることによって、オーディオ情報の再生が可能となる。上記LCDコントローラ75は、たとえば、上記CPUバス72eを介して上記CPU72aからの表示情報を受け取ると、その表示情報から上記LCD76を制御するためのLCD制御情報を生成する。そして、そのLCD制御情報にしたがって、上記LCD76を駆動して表示を行わせる。

#### 【0073】

上記携帯電話端末70には、さらに、インターフェース回路（I/F）78a、78b、78c、外部メモリ81、外部メモリスロット82、キー操作部83、および、外部入出力端子84などが設けられている。上記外部メモリスロット82には、メモリカードなどの外部メモリ81が挿入される。この外部メモリスロット82は、上記インターフェース回路78aを介して、上記CPUバス72eに接続されている。このように、携帯電話端末70に外部メモリスロット82を設けることにより、携帯電話端末70の内部の情報を外部メモリ81に書き込んだり、あるいは、外部メモリ81に記憶された情報（たとえば、オーディオ情報）を携帯電話端末70に入力したりすることが可能となる。

#### 【0074】

上記キー操作部83は、上記インターフェース回路78bを介して、上記CPUバス72eに接続されている。上記キー操作部83から入力されたキー入力は、たとえば上記CPU72aに伝えられる。上記外部入出力端子84は、上記インターフェース回路78cを介して、上記CPUバス72eに接続されている。上記外部入出力端子84は、携帯電話端末70に外部から種々の情報を入力したり、あるいは、携帯電話端末70から外部へ情報を出力したりする際の端子として機能する。

#### 【0075】

なお、本適用例2では、ROM72b、MRAM72cおよびフラッシュメモリ72dを用いているが、上記フラッシュメモリ72dをMRAMに置き換えてもよいし、さらに、上記ROM72bもMRAMに置き換えることが可能である。

#### 【0076】

#### （適用例3）

この適用例3は、たとえば図44～図48に示すように、スマートメディアなどのメディアコントローラを記憶するカードとして、MRAM（MRAMカード）を用いるようにした場合の例である。

#### 【0077】

図44に示すように、たとえばMRAMカード本体90には、MRAMチップ90aが内蔵されている。上記MRAMカード本体90には、上記MRAMチップ90aに対応する位置に開口部90bが形成されている。この開口部90bにはシヤッター90cが設けられており、上記開口部90bより露出する上記MRAMチップ90aが、MRAMカードの携帯時には上記シヤッター90cによって保護されるようになっている。上記シヤッター90cは、外部磁場を遮蔽する効果のある材料、たとえばセラミックスからなっている。MRAMカードにコンソリッドチップ90aを露出させる。外部端子90dは、MRAMカードに放して、上記MRAMチップ90aを露出させる。外部端子90dは、MRAMカードに転写されたコンソリッドチップ90aを外部に取り出すためのものである。

#### 【0078】

図45および図46は、上記MRAMカードにデータを転写するための、カード挿入型の転写装置の構成例を示すものである。なお、図45は転写装置の上面図であり、図46はその断面図である。

#### 【0079】

エンプーザの使用するMRAMカード90Aを、転写装置91の挿入部91aより図

に矢印で示す方向に挿入し、ストッパ91bで止まるまで押し込む。このストッパ91bは、MRA91cと上記MRA91cとを位置合わせするための部材としても働く。上記MRA91cが所定の位置に収納されると、MRA91c書き換え制御部（図示していない）から外部端子91dに制御信号が供給され、上記MRA91cに記憶されたコンテナーが上記MRA91cに転写される。

#### 【0080】

図47は、はめ込み型の転写装置の構成例を示すものである。この転写装置92は、ストッパ92aを目標に、図に矢印で示す方向にMRA92aをはめ込んで、MRA92b上に載置するタイズである。コンテナーの転写の方法については、上記したカー挿入型の転写装置91の場合と同一であるので、説明を省略する。

#### 【0081】

図48は、スライダ型の転写装置の構成例を示すものである。この転写装置93には、受け皿スライダ93aが設けられており、CD-ROMドライブやDVDドライブと同様に、この受け皿スライダ93aが図に矢印で示す方向に移動する。受け皿スライダ93aが破線の位置に移動したときに、MRA93aを受け皿スライダ93a上に載置する。すると、上記MRA93aは、MRA93bが設けられた転写装置93の内部へ自動的に搬送され、ストッパ93cに上記MRA93aの先端部が当接した位置で停止される。コンテナーの転写の方法については、上記したカー挿入型の転写装置91の場合と同一であるので、説明を省略する。

#### 【0082】

その他、本願発明は、上記（各）実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記（各）実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、（各）実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題（の少なくとも1つ）が解決でき、発明の効果の欄で述べられている効果（の少なくとも1つ）が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

#### 【図面の簡単な説明】

#### 【0083】

【図1】本発明の第1の実施形態にしたがった磁気記憶装置（MRA）の基本構成を示す要部の断面図。

【図2】図1に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図3】図1に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図4】図1に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図5】図1に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図6】図1に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図7】図1に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図8】図1に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図9】図1に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図10】図1に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 11】 本発明の第 2 の実施形態にしたがった磁気記憶装置 (MRAM) の基本構成を示す要部の断面図。

【図 12】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 13】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 14】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 15】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 16】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 17】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 18】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 19】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 20】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 21】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 22】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 23】 図 11 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 24】 本発明の第 3 の実施形態にしたがった磁気記憶装置 (MRAM) の基本構成を示す要部の断面図。

【図 25】 図 24 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 26】 図 24 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 27】 図 24 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 28】 図 24 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 29】 図 24 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 30】 図 24 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 31】 図 24 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 32】 図 24 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 33】 図 24 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 34】 図 24 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 35】 図 24 に示した磁気記憶装置の、その製造方法について説明するために示す工程断面図。

【図 36】本発明の第 4 の実施形態にしたがった磁気記憶装置 (MRAM) の構成の要部を示す断面図。

【図 37】本発明の第 4 の実施形態にしたがった磁気記憶装置 (MRAM) の他の構成の要部を示す断面図。

【図 38】本発明の第 5 の実施形態にしたがった磁気記憶装置 (MRAM) の構成の要部を示す断面図。

【図 39】本発明の第 5 の実施形態にしたがった磁気記憶装置 (MRAM) の他の構成の要部を示す断面図。

【図 40】本発明の第 6 の実施形態にしたがった磁気記憶装置 (MRAM) の構成の要部を示す断面図。

【図 41】本発明の第 6 の実施形態にしたがった磁気記憶装置 (MRAM) の他の構成の要部を示す断面図。

【図 42】本発明の第 7 の実施形態にしたがった、磁気記憶装置 (MRAM) が適用されるデジタル加入者線用モジュールの DSL パス部分を示すブロック図。

【図 43】本発明の第 7 の実施形態にしたがった、磁気記憶装置 (MRAM) が適用される携帯電話端末の構成例を示すブロック図。

【図 44】本発明の第 7 の実施形態にしたがった、磁気記憶装置 (MRAM) が適用される MRAM カードの構成例を示す図。

【図 45】図 44 の MRAM カードにデータを転写するための、カード挿入型の転写装置の構成例を示す上面図。

【図 46】図 45 に示したカード挿入型の転写装置の断面図。

【図 47】図 44 の MRAM カードにデータを転写するための、はめ込み型の転写装置の構成例を示す断面図。

【図 48】図 44 の MRAM カードにデータを転写するための、スライフト型の転写装置の構成例を示す断面図。

【図 49】従来技術とその問題点を説明するために示す、磁気記憶装置 (MRAM) の断面図。

【図 50】従来の磁気記憶装置を例に、MRAMセルの等価回路を示す図。

【図 51】従来の磁気記憶装置を例に、MRAMセル (TMR 素子) の構成を示す断面図。

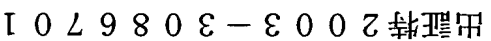
# 【符号の説明】

【0084】

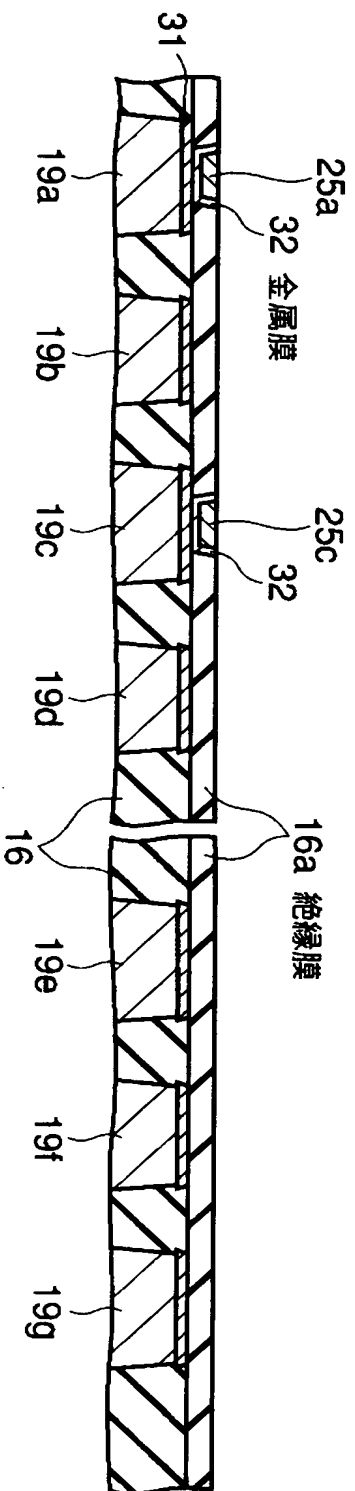
11…P 型半導体基板、12…素子分離領域、13a、13b…MOSFET、14a、14b…N 型の拡散層、15a、15b…ゲート電極 (15a…読み出しワード線)、16、16a、16b、16c…絶縁膜、17a、17b、17c、17d、17e、17f、17g…第 1 層目の配線、18a、18b、18c、18d、18e、18f、18g…第 2 層目の配線、19a、19b、19c、19d、19e、19f、19g…第 3 層目の配線 (19b、19d…書き込みワード線 (第 1 の配線層からなる第 1 の配線)、19f…第 1 の配線層からなる第 3 の配線)、20、21、31、32、35、36…金属膜、20a、20b、20c…第 4 層目の配線、21a、21b、21c、21d…第 5 層目の配線 (21a…ビット線 (第 2 の配線層からなる第 2 の配線)、21c…第 2 の配線層からなる第 4 の配線)、22a、22c、22e、22g…第 1 のコンタクトプラグ、23a、23c、23e、23g…第 2 のコンタクトプラグ、24a、24c、24e、24g…第 3 のコンタクトプラグ、25a、25c…第 4 のコンタクトプラグ、25e、25g…第 5 のコンタクトプラグ、26a、26b…TMR 素子 (磁気抵抗効果素子)、27、27a、27b…MTJ 膜、33…レジスト膜、33a…アスチパターシ、34…コンタクトホール、41…レジスト膜、51…磁性膜、60…デジタル加入者線用モジュール、61…プロゲラマブル・デジタル・シグナル・プロセッサ、62…アナログ・デジタルコンバータ、63…デジタル・アナログコンバータ、64…送信ドライバ、65…受信機増幅器、66…MRAM、67…EEPROM、70…携帯電話端末、71…通信

部、71a...送受信アンテナ、71b...アンテナ共用器、71c...受信部、71d...ベースバンド処理部、71e...DSP (音声コーデック)、71f...スレーカ、71g...マイクロホン、71h...送信部、71i...周波数シンセサイザ、72...制御部、72a...CPU、72b...ROM、72c...MRAM、72d...フラッシュメモリ、72e...CPUバース、73...オーディオ再生処理部、74...外部出力端子、75...LCDコントローラ、76...LCD、77...リネガ、78a、78b、78c...インタフェース回路、81...外部メモリ、82...外部メモリスロット、83...キー操作部、84...外部入出力端子、90...MRAMカード本体、90a...MRAMチップ、90b...開口部、90c...シヤッター、90d...外部端子、90A...MRAMカード、91...カード挿入型の転写装置、91a...挿入部、91b...ストッパ、91c...MRAM、91d...外部端子、92...はめ込み型の転写装置、92a...ストッパ、92b...MRAM、93...スライド型の転写装置、93a...受け皿スライド、93b...MRAM、93c...ストッパ、116...3層構造膜、116-1...磁化固着層 (磁性体層)、116-2...トンネル接合層、116-3...磁気記録層 (磁性体層)。

【 ㊦ 】

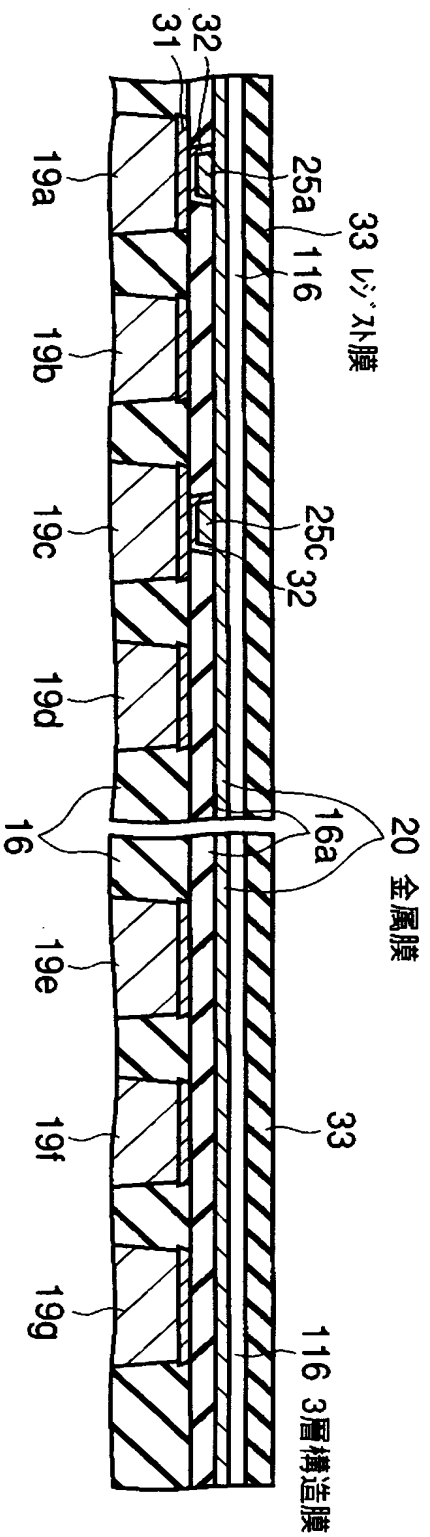


【図2】

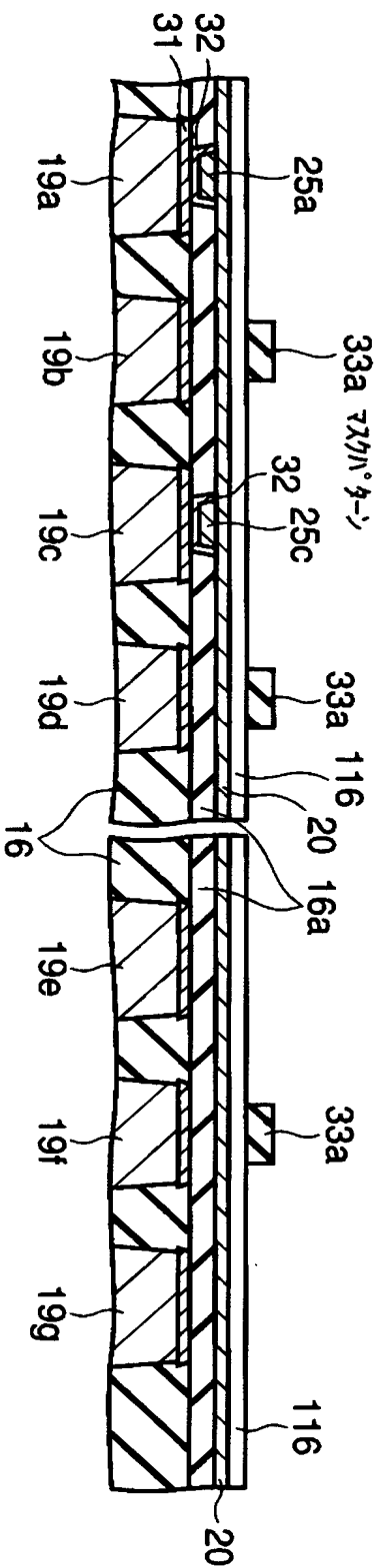




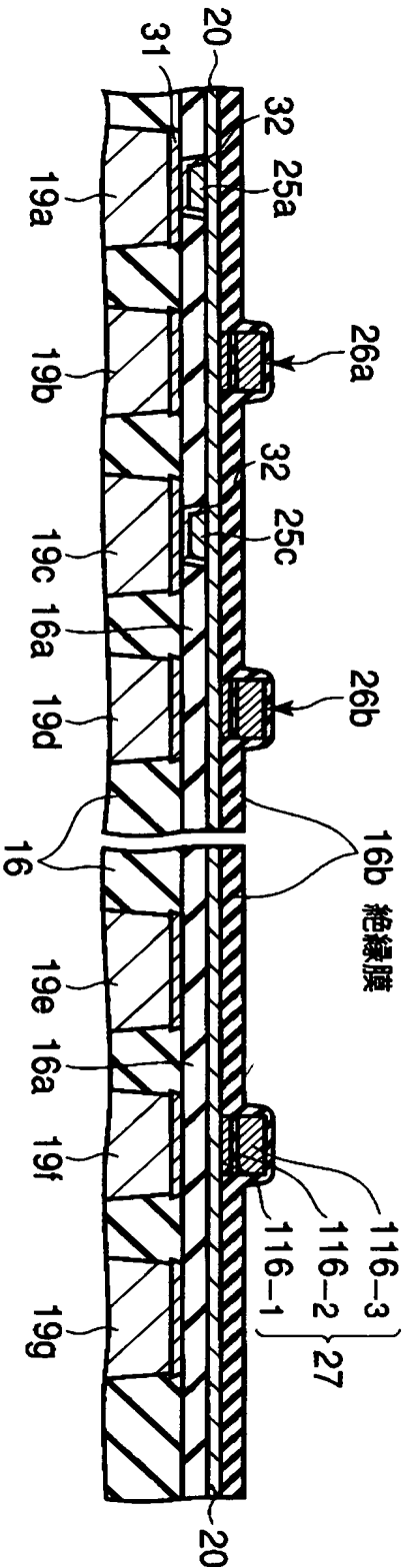
【図3】



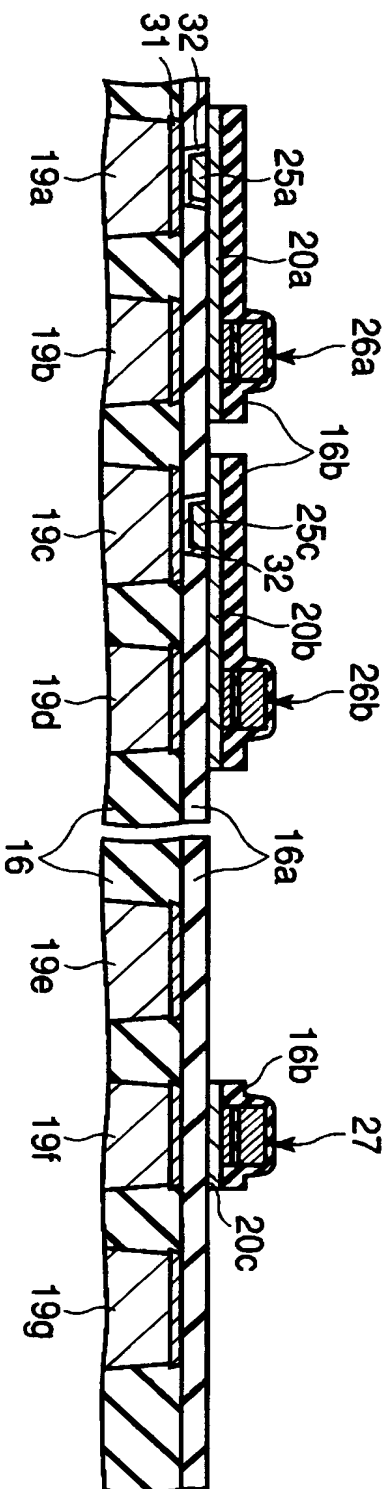
【図4】



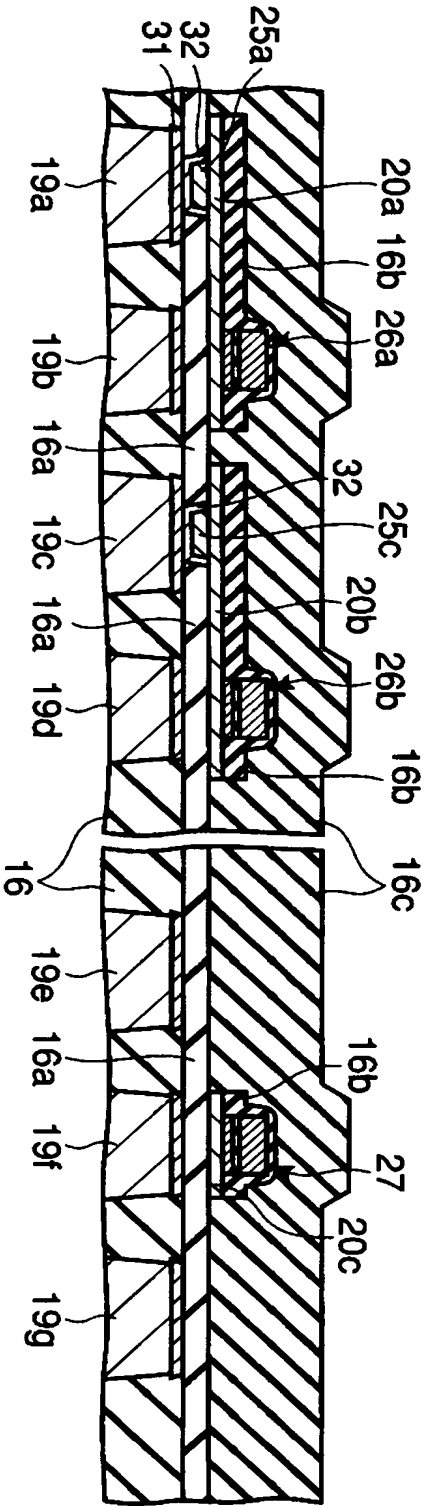
【図5】



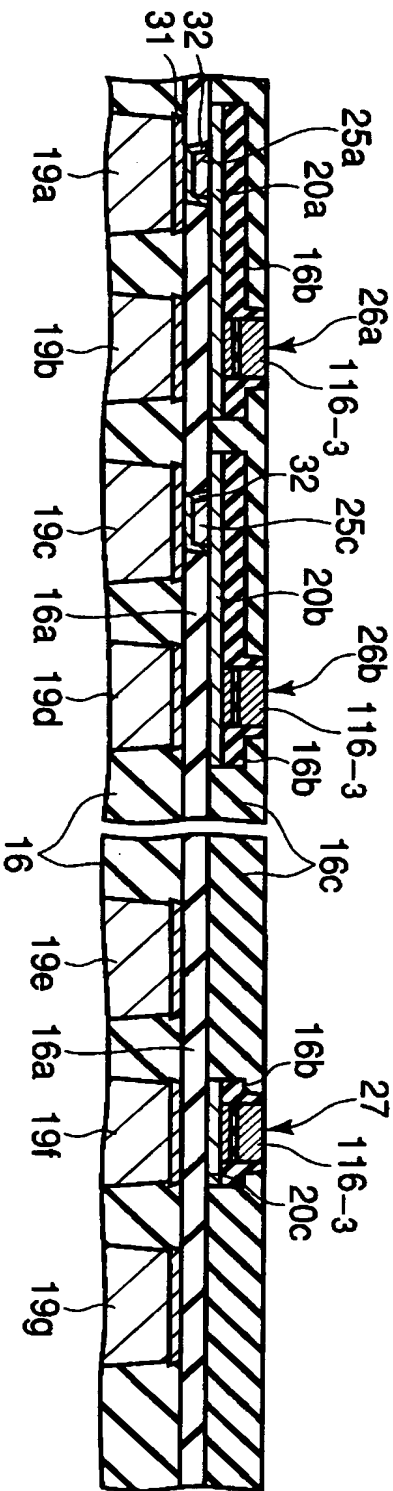
出証特2003-3086701



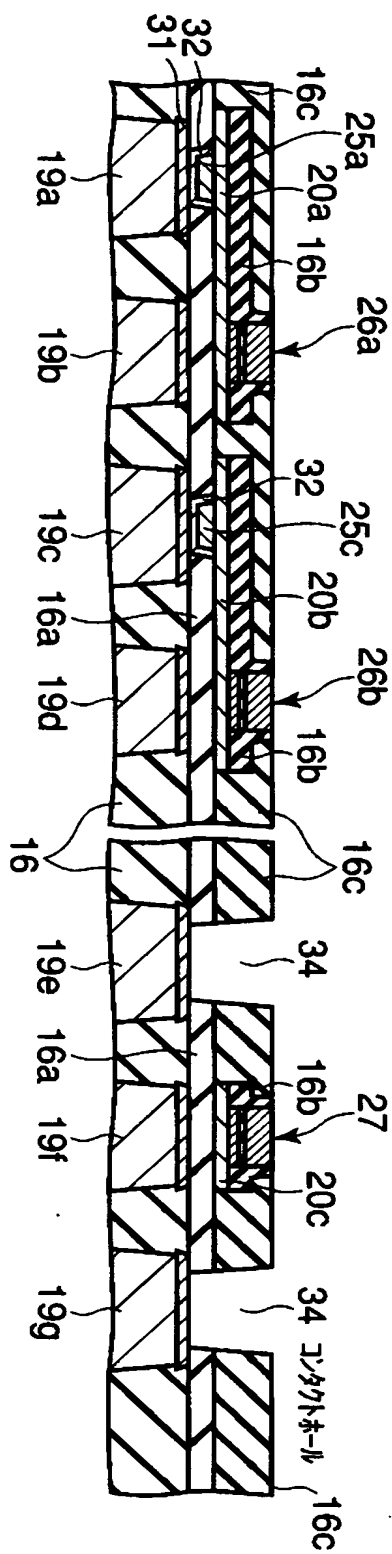
【図 7】



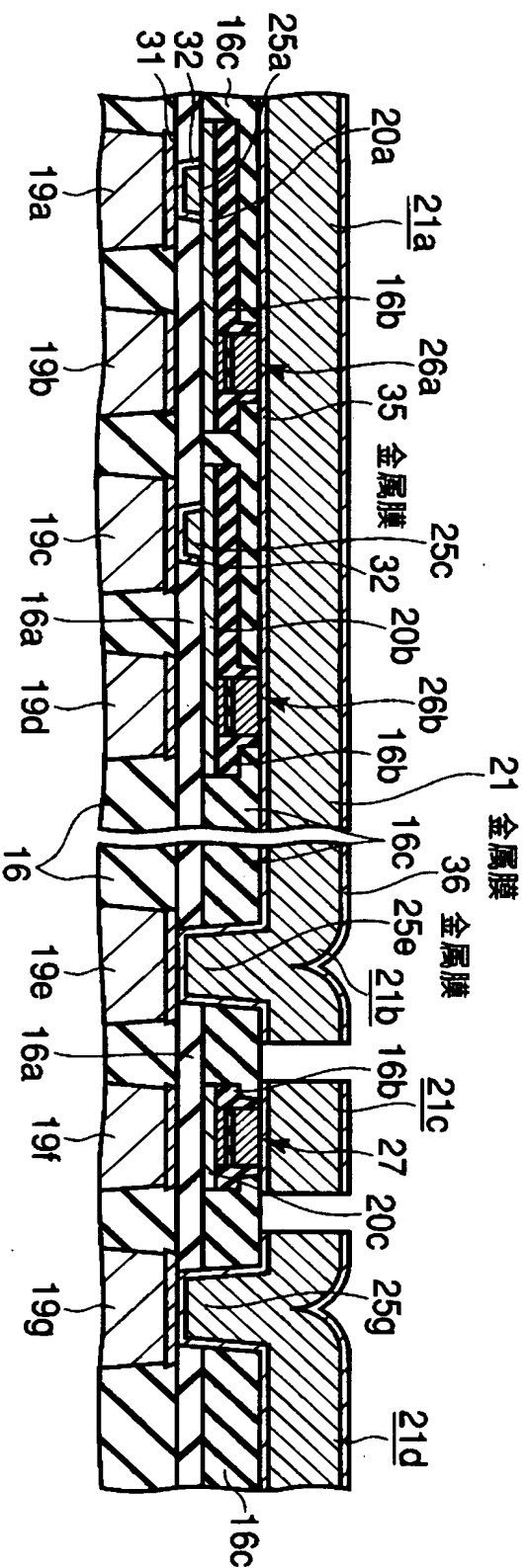
【図8】



【図9】

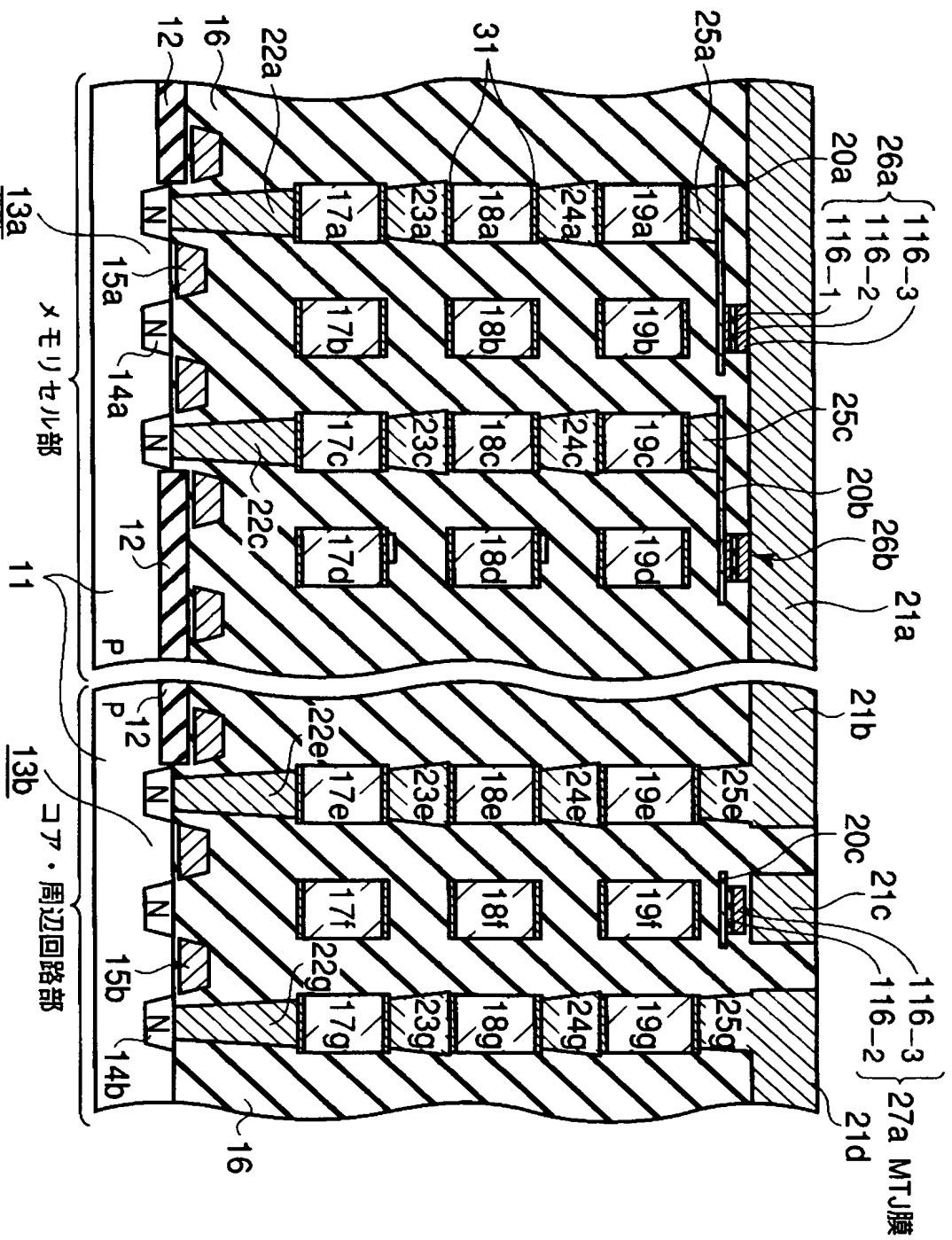


【図10】

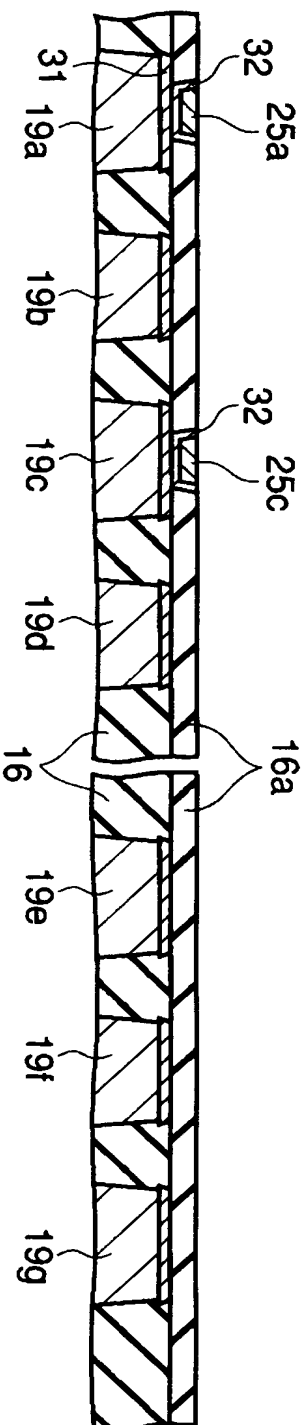




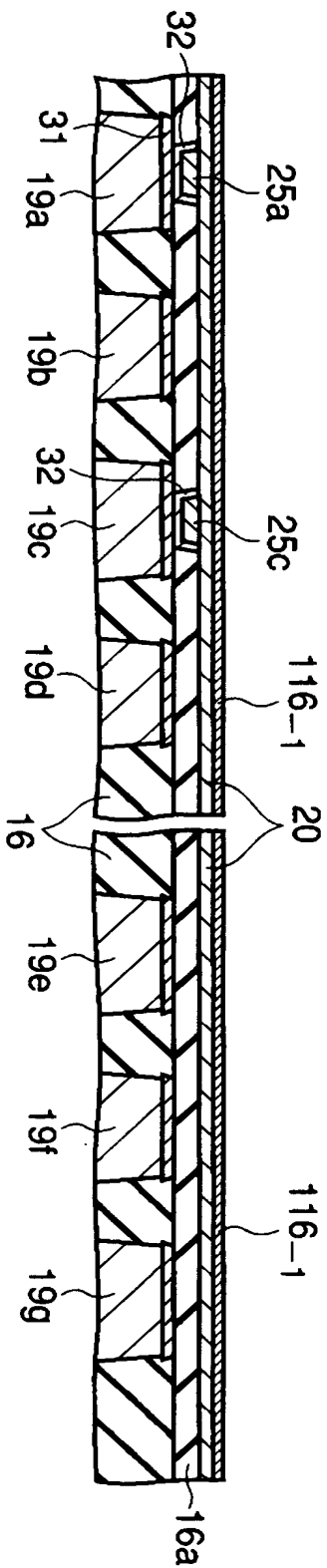
【図11】



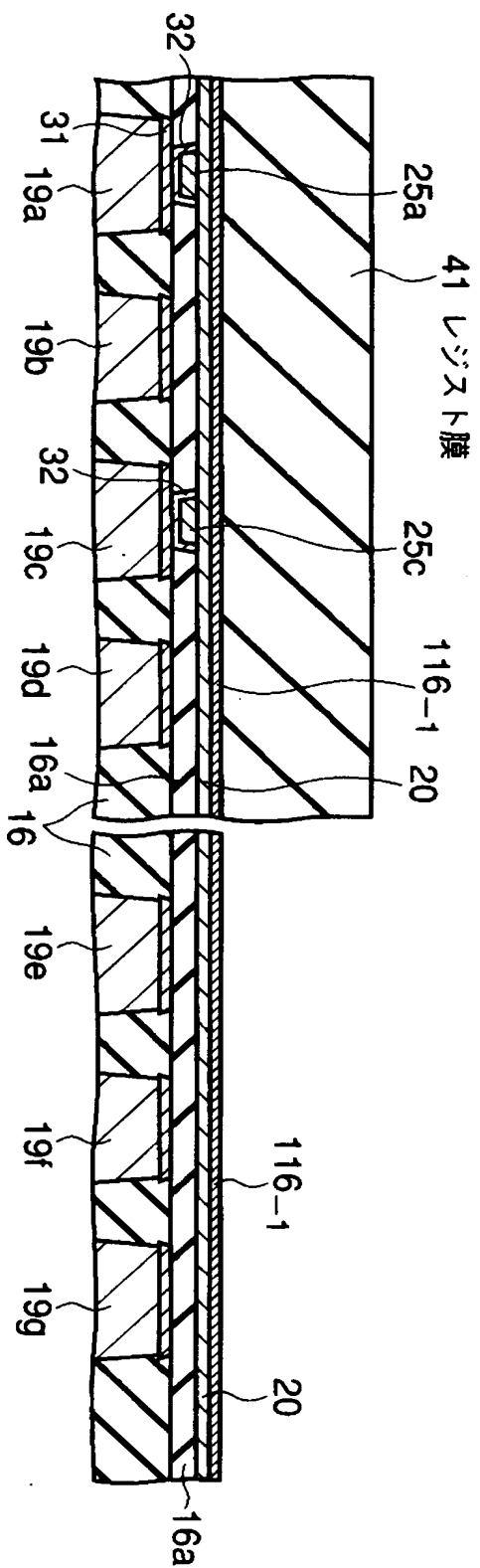
【図 12】



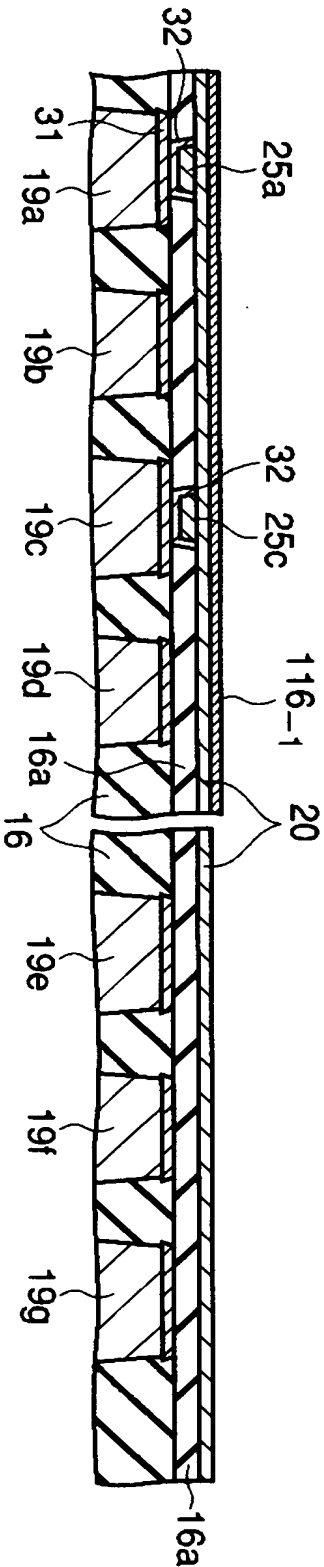
【図13】



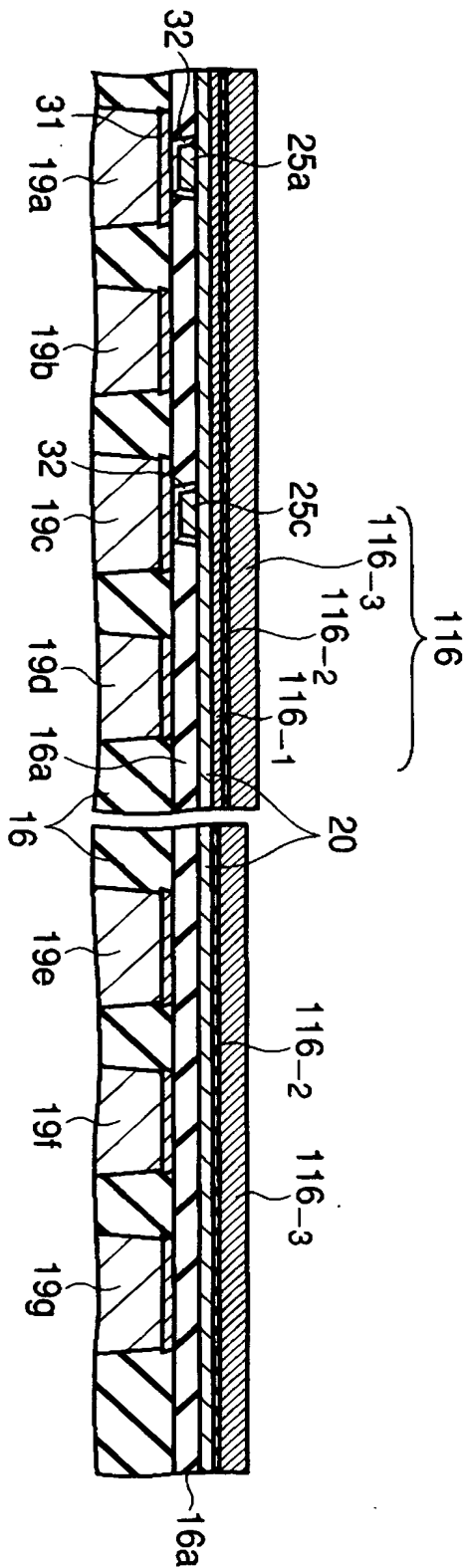
【図14】



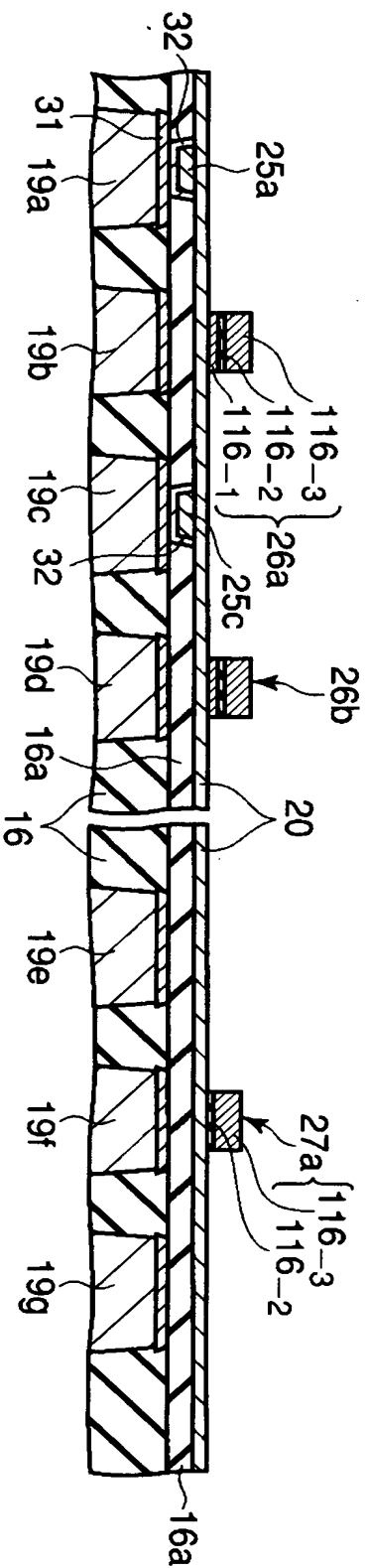
【図 15】



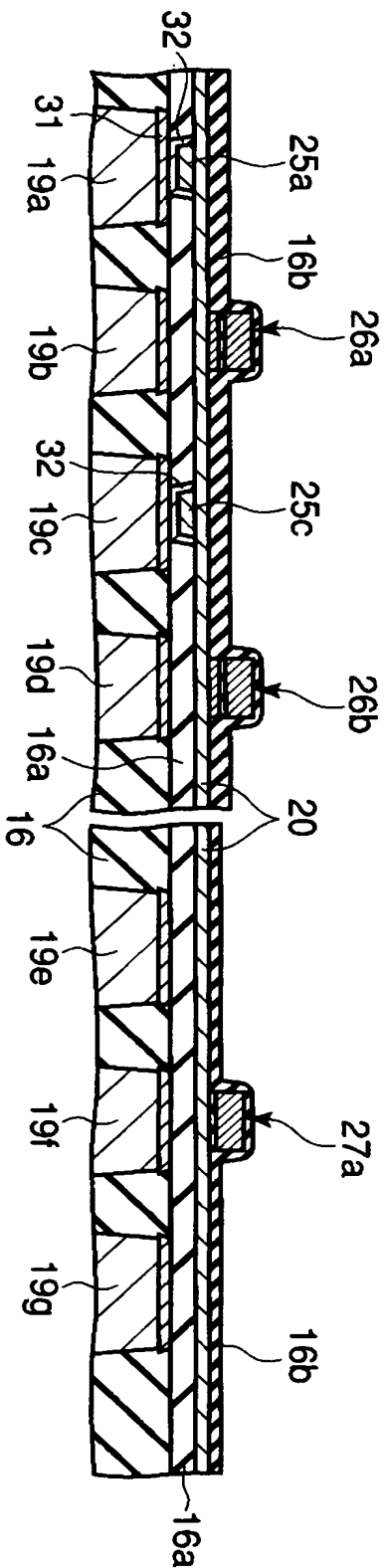
【図 16】



【図 17】

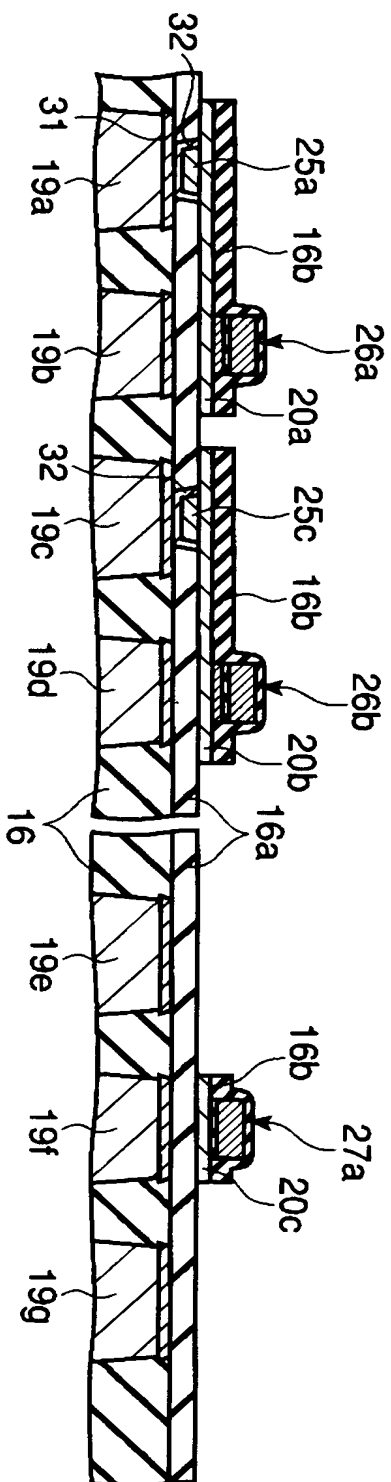


【図18】

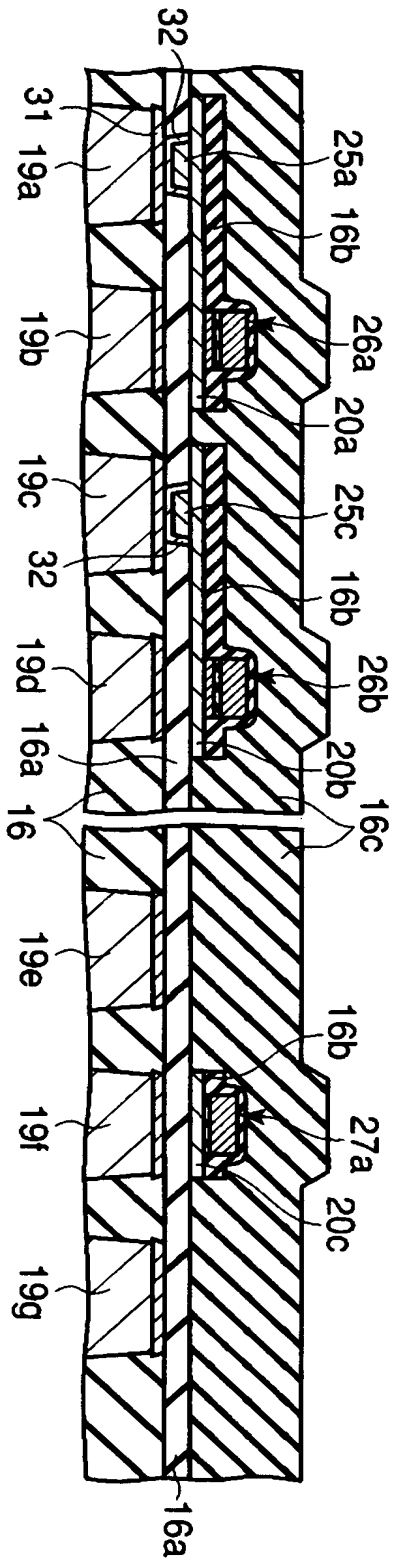




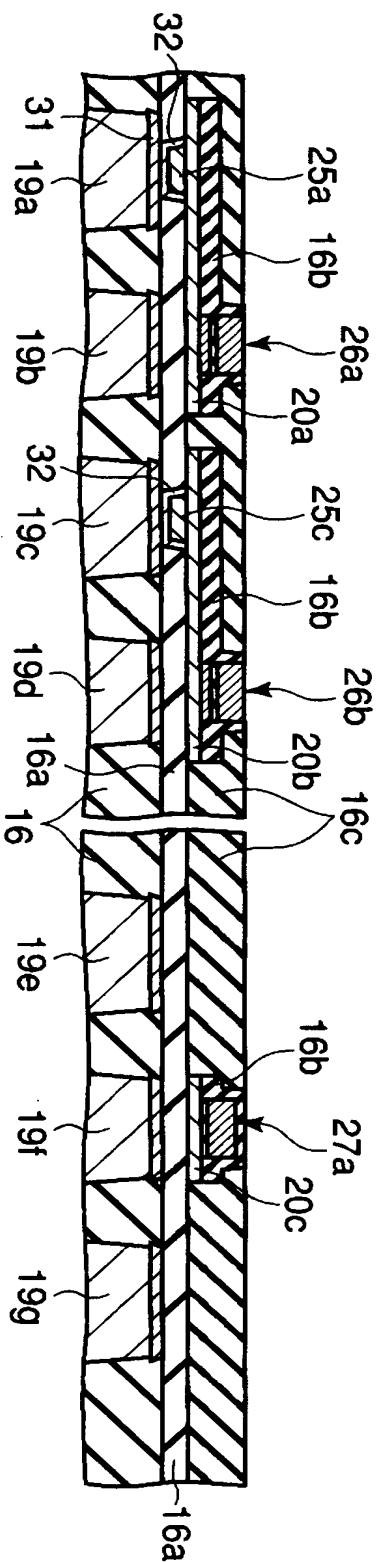
【図19】



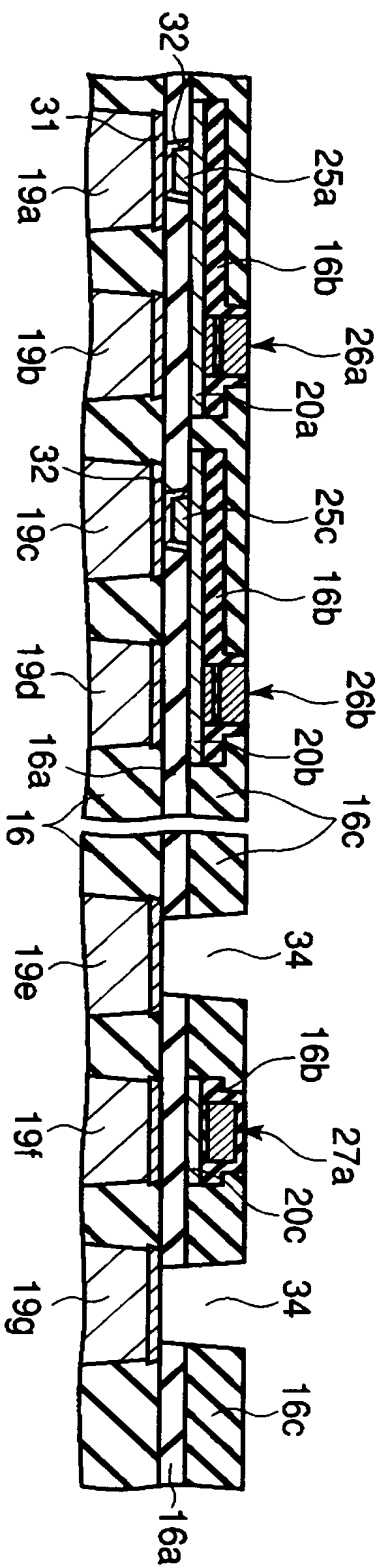
【図 20】



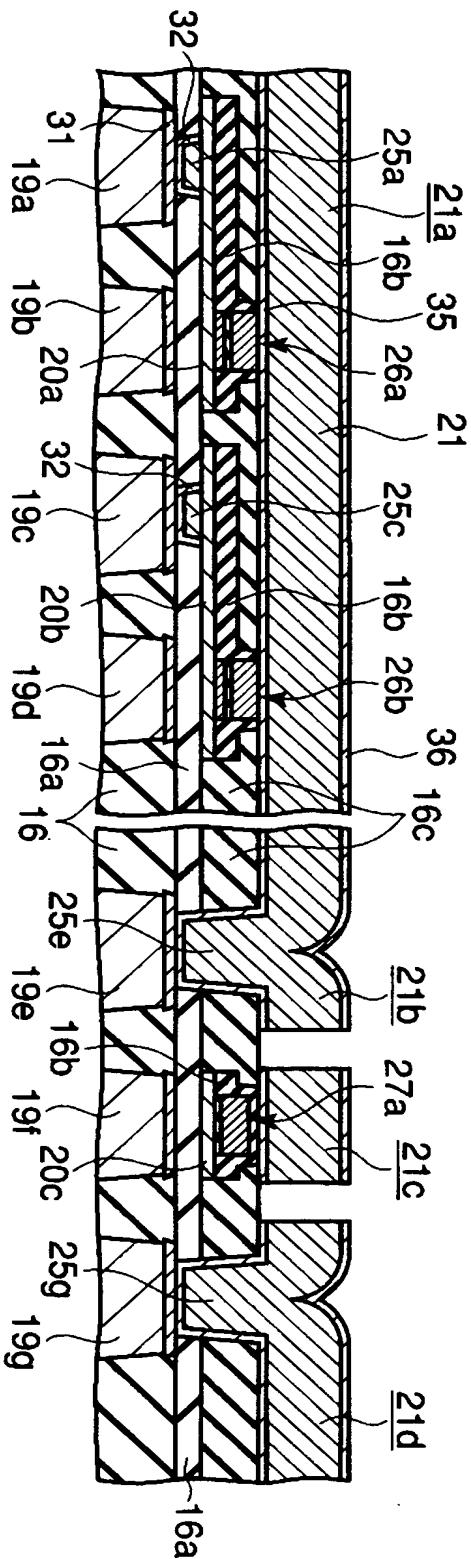
【図 21】



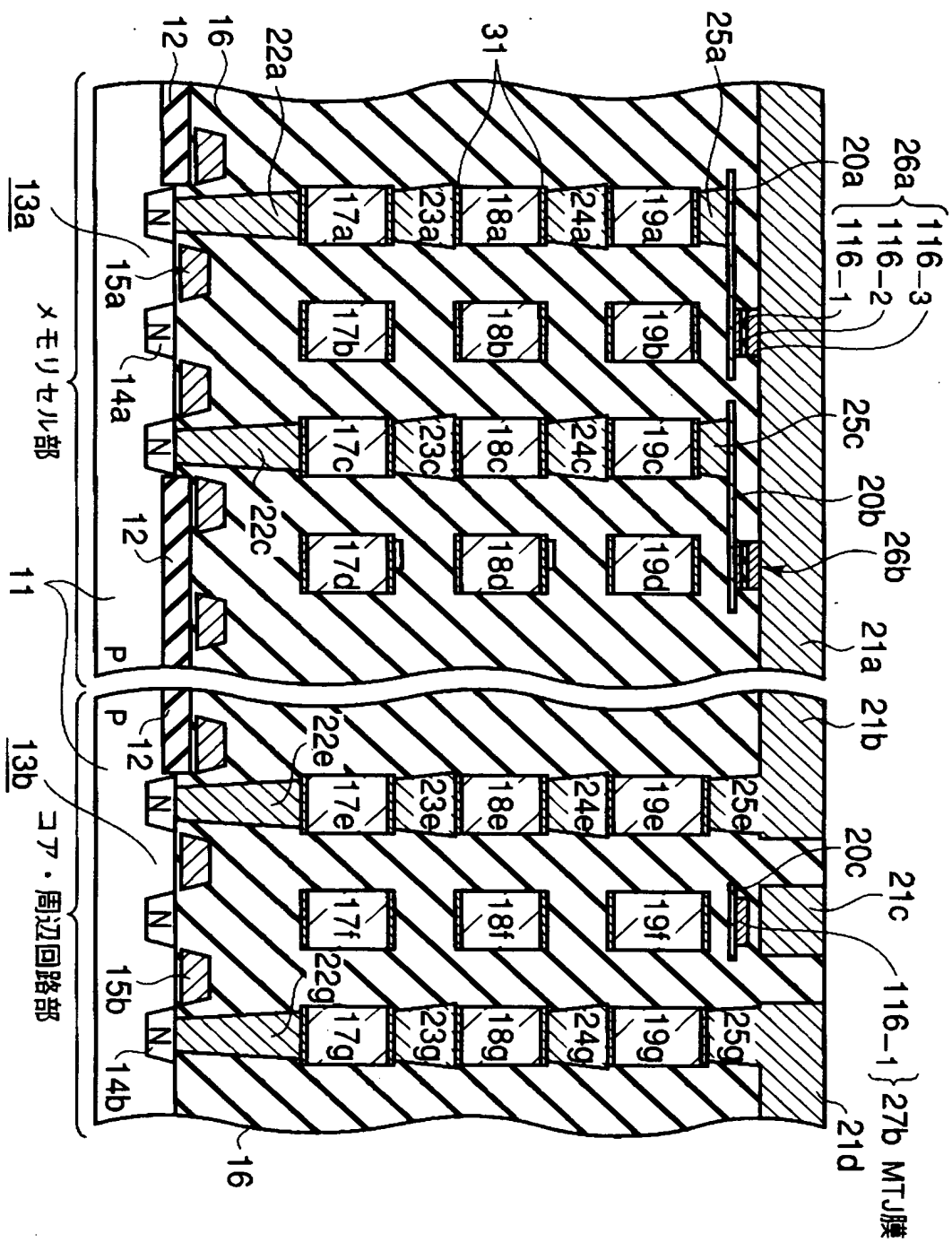
【図 22】



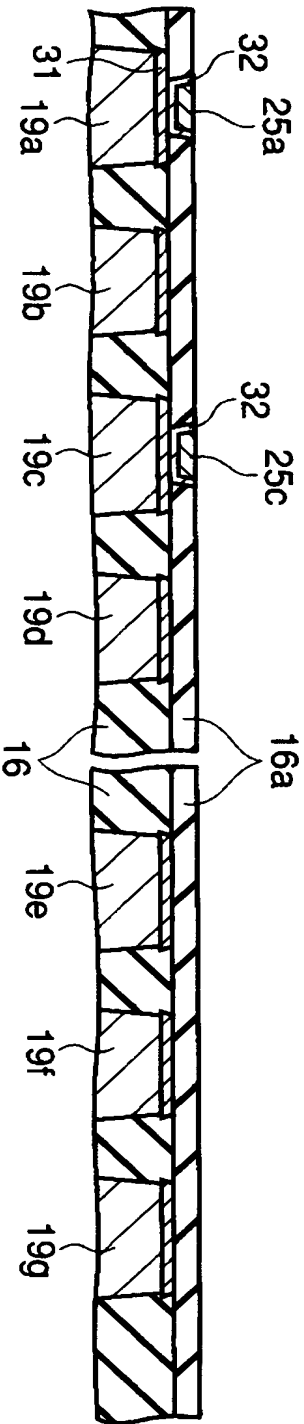
【図 23】



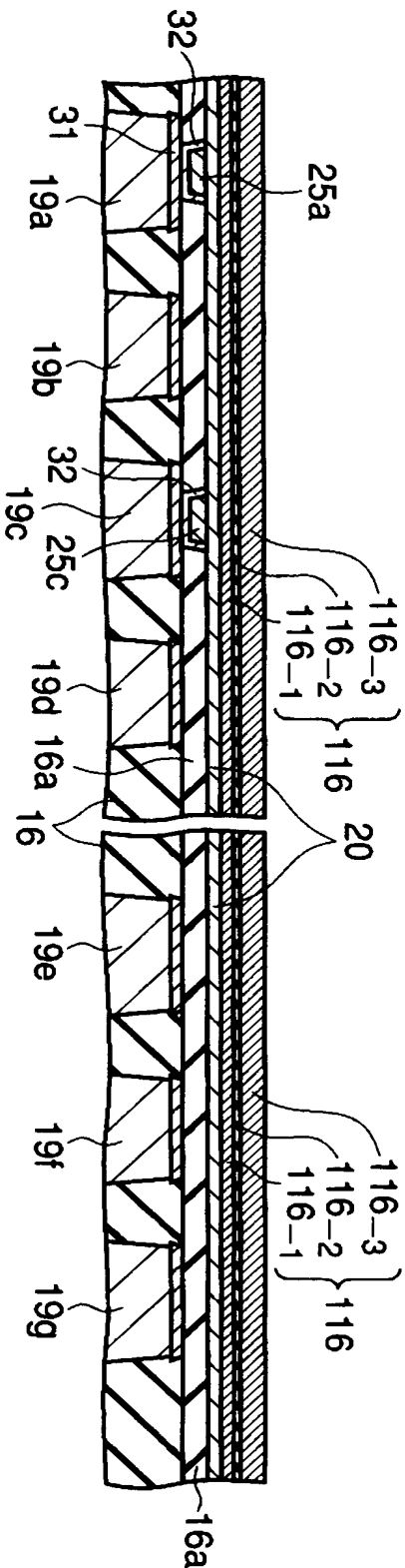
【図24】



【図 25】

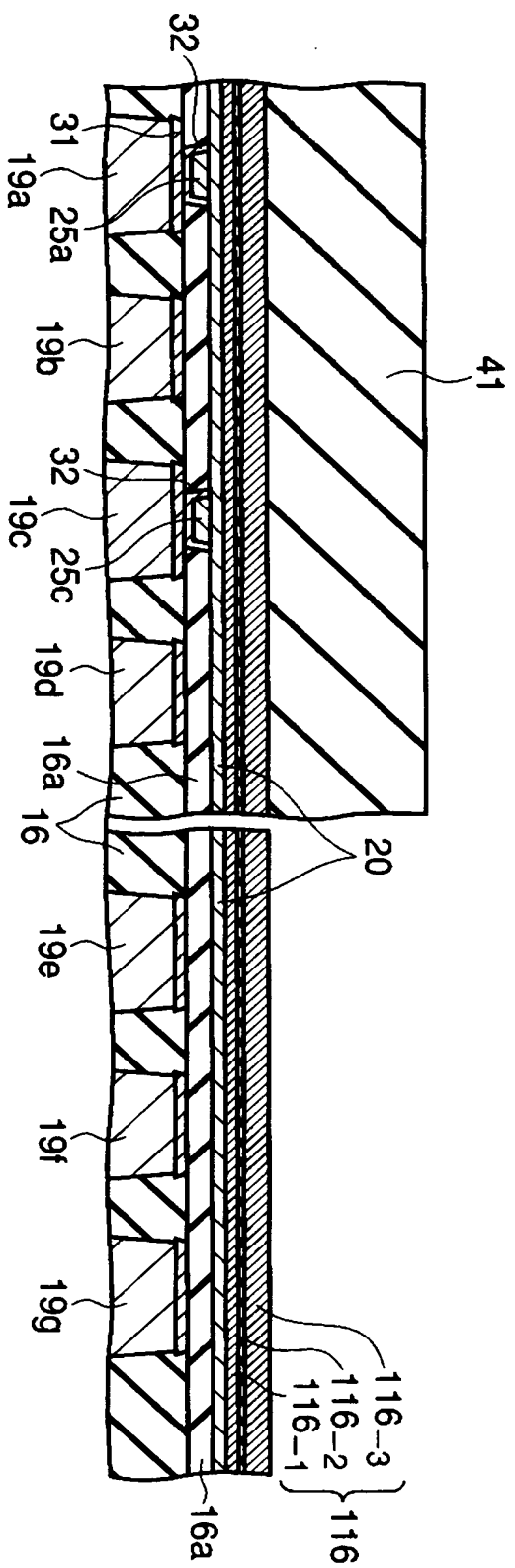


【図 26】

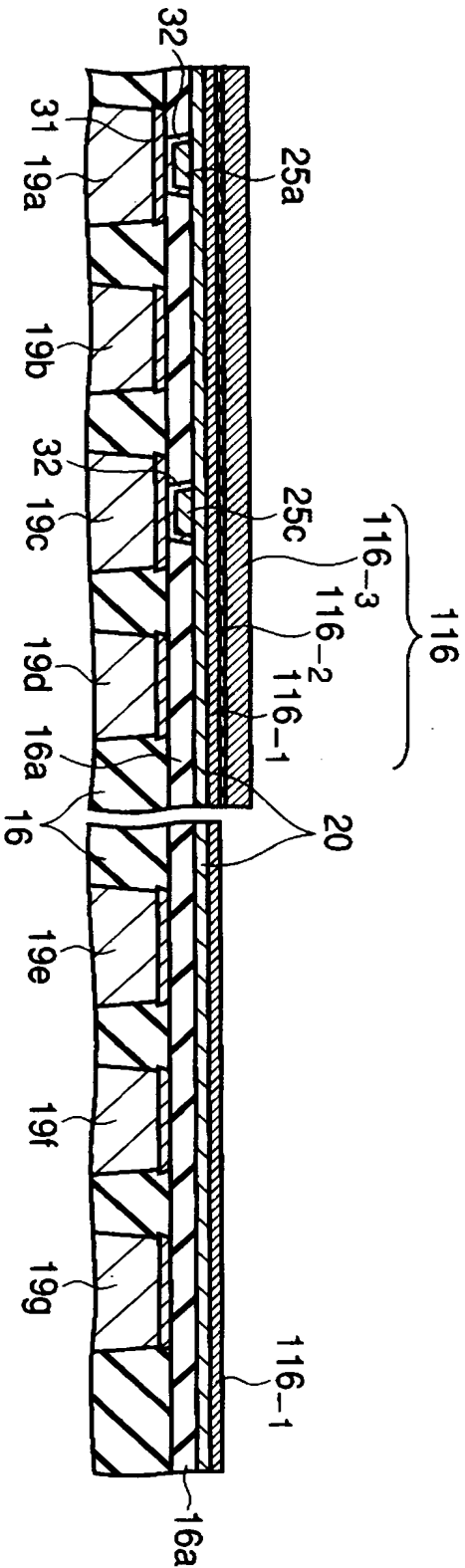




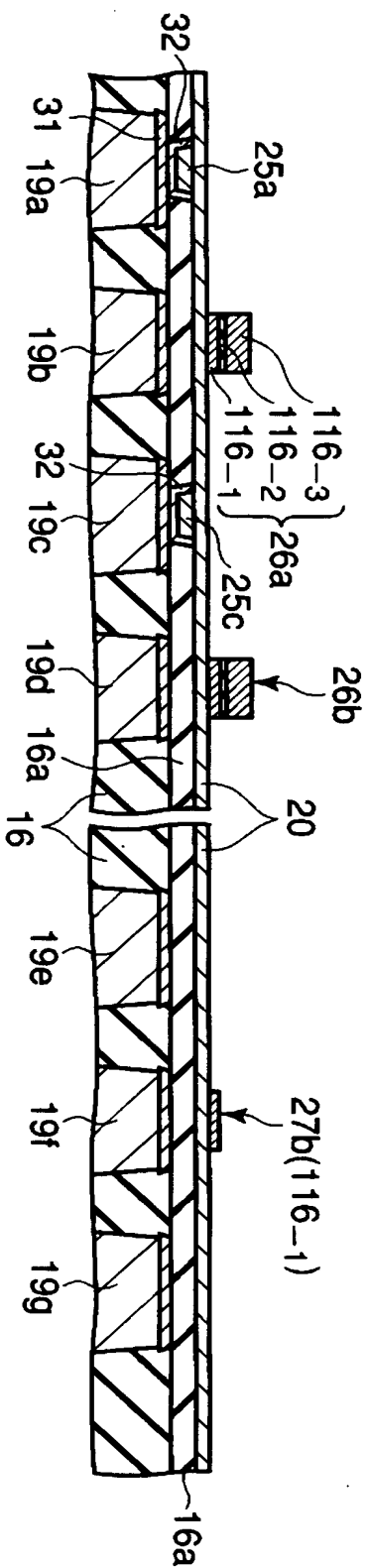
【図 27】



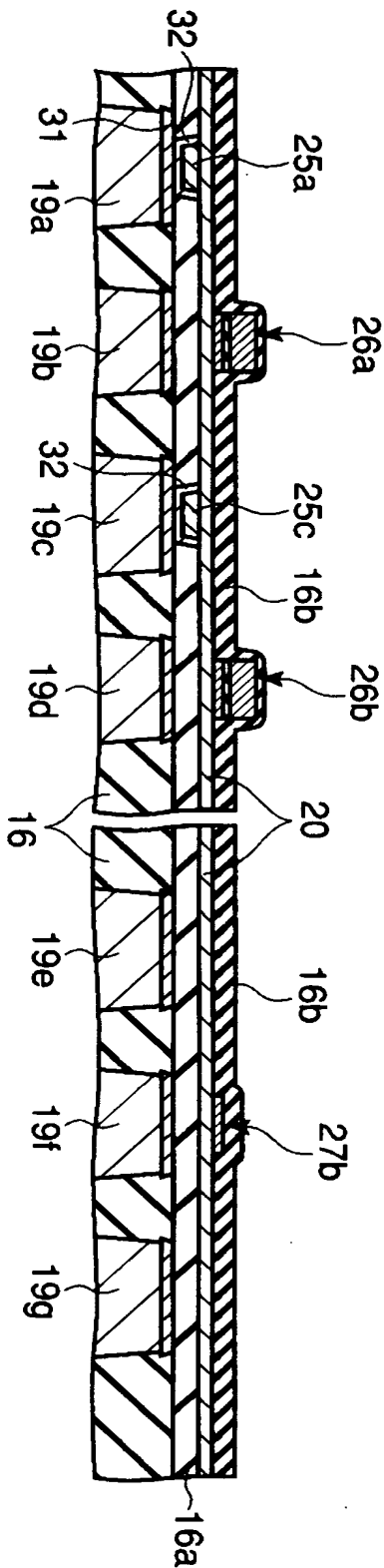
【図 28】



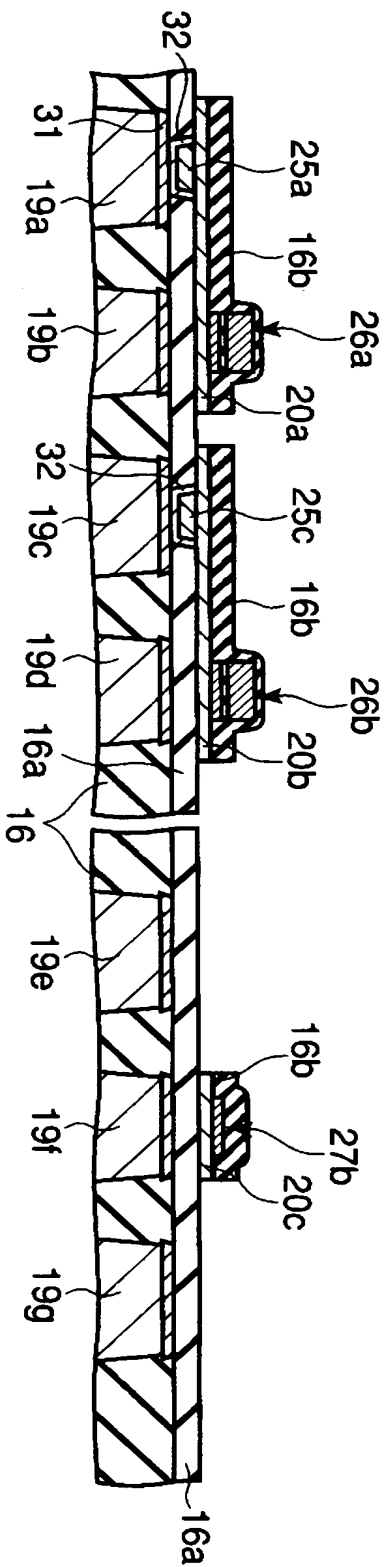
【図 29】



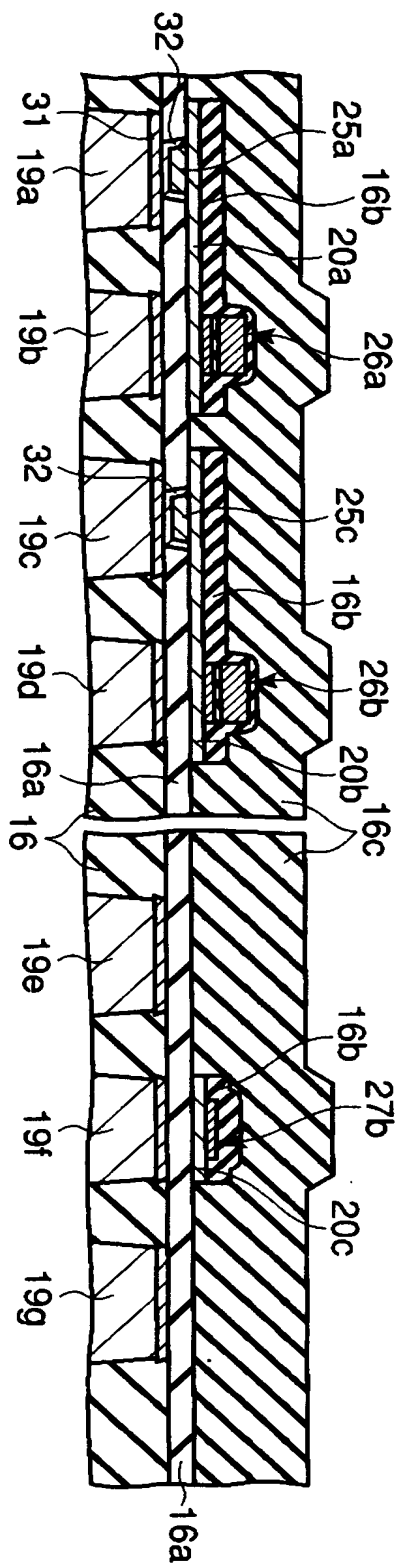
【図 30】



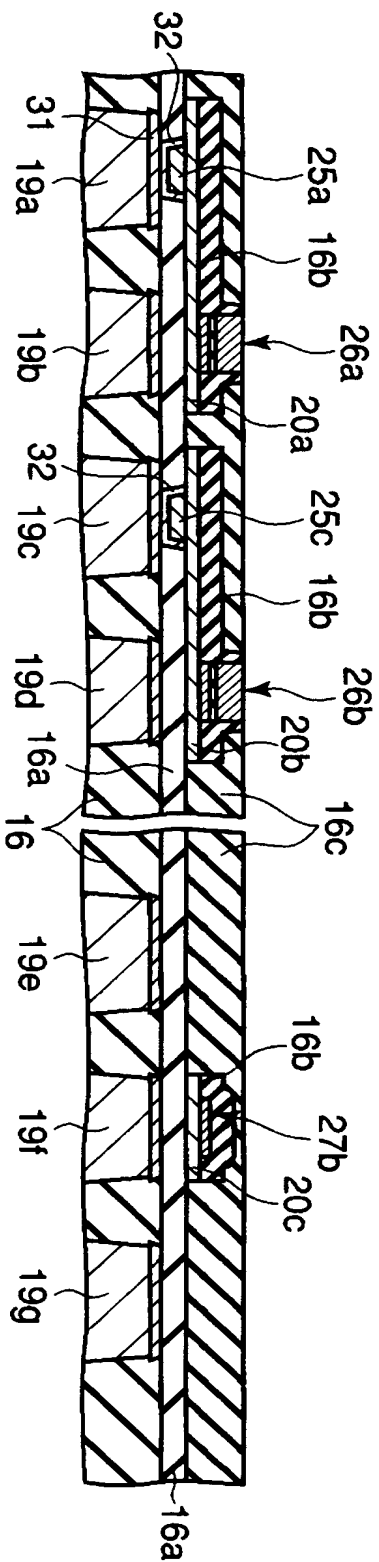
【図 31】



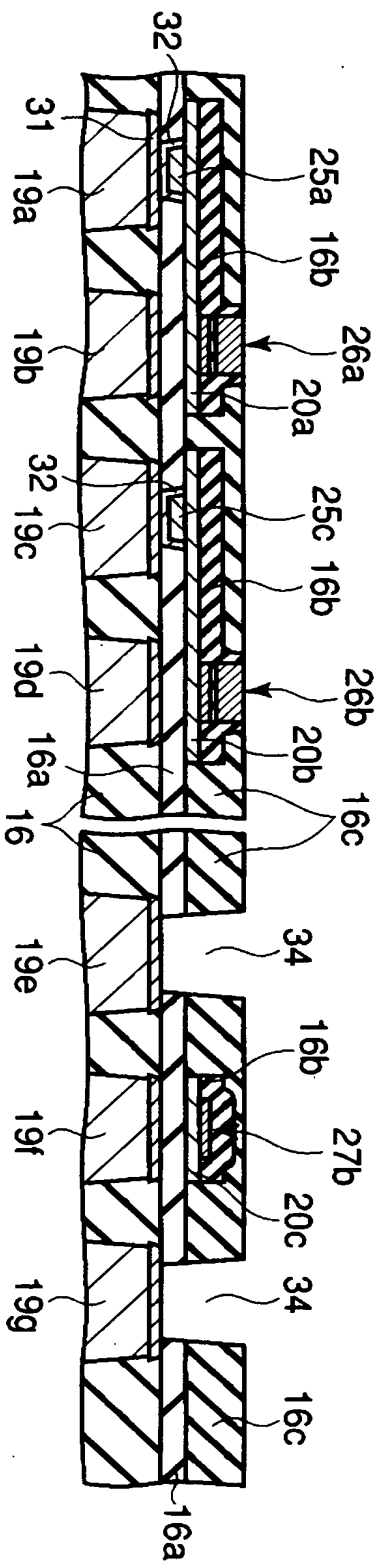
【図 3 2】



【図 33】

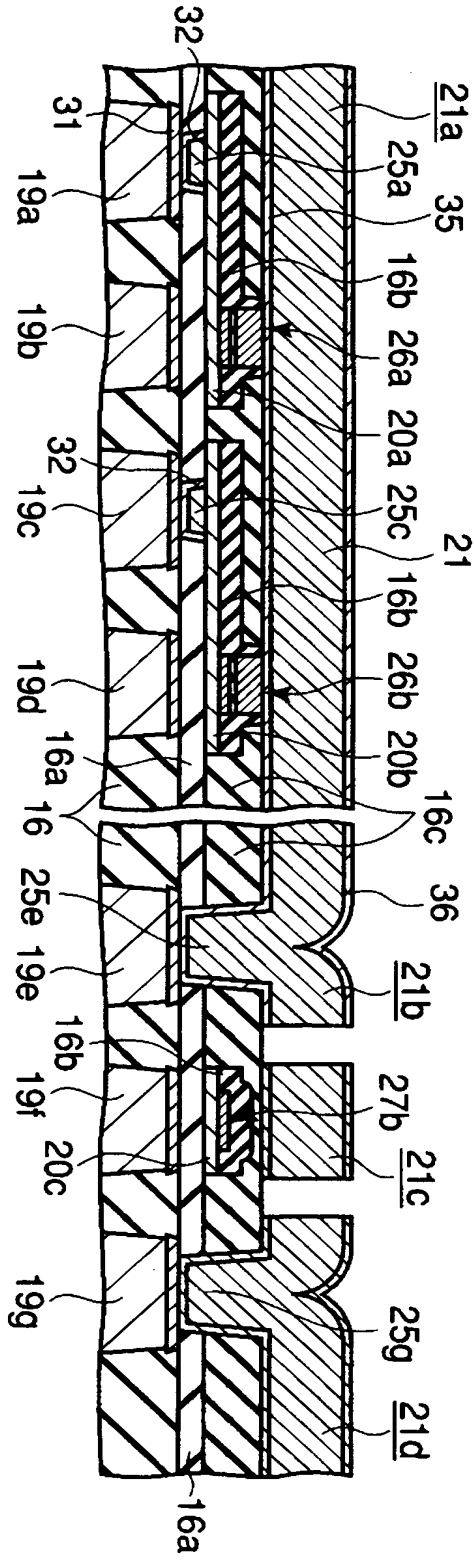


【図 34】

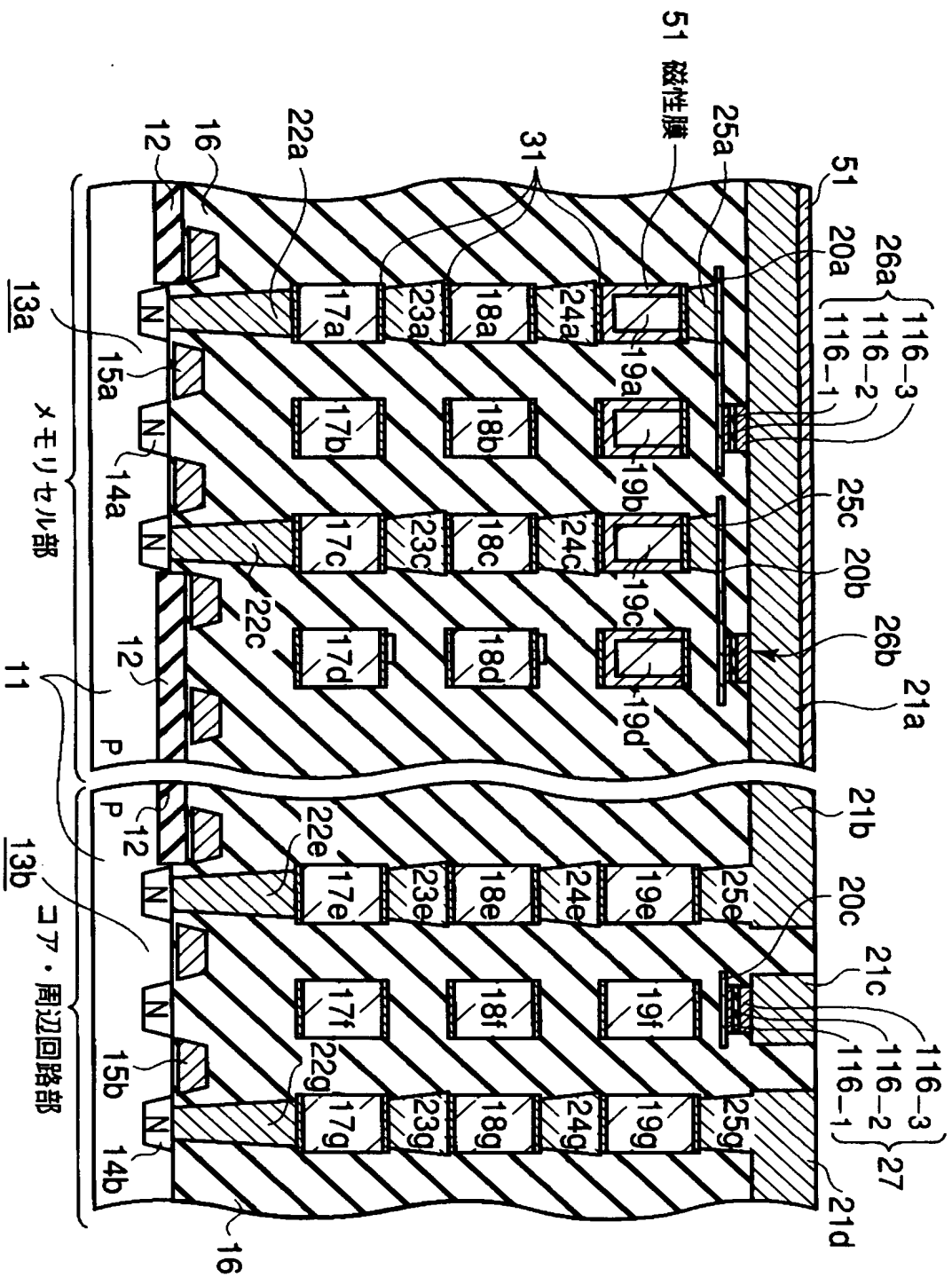




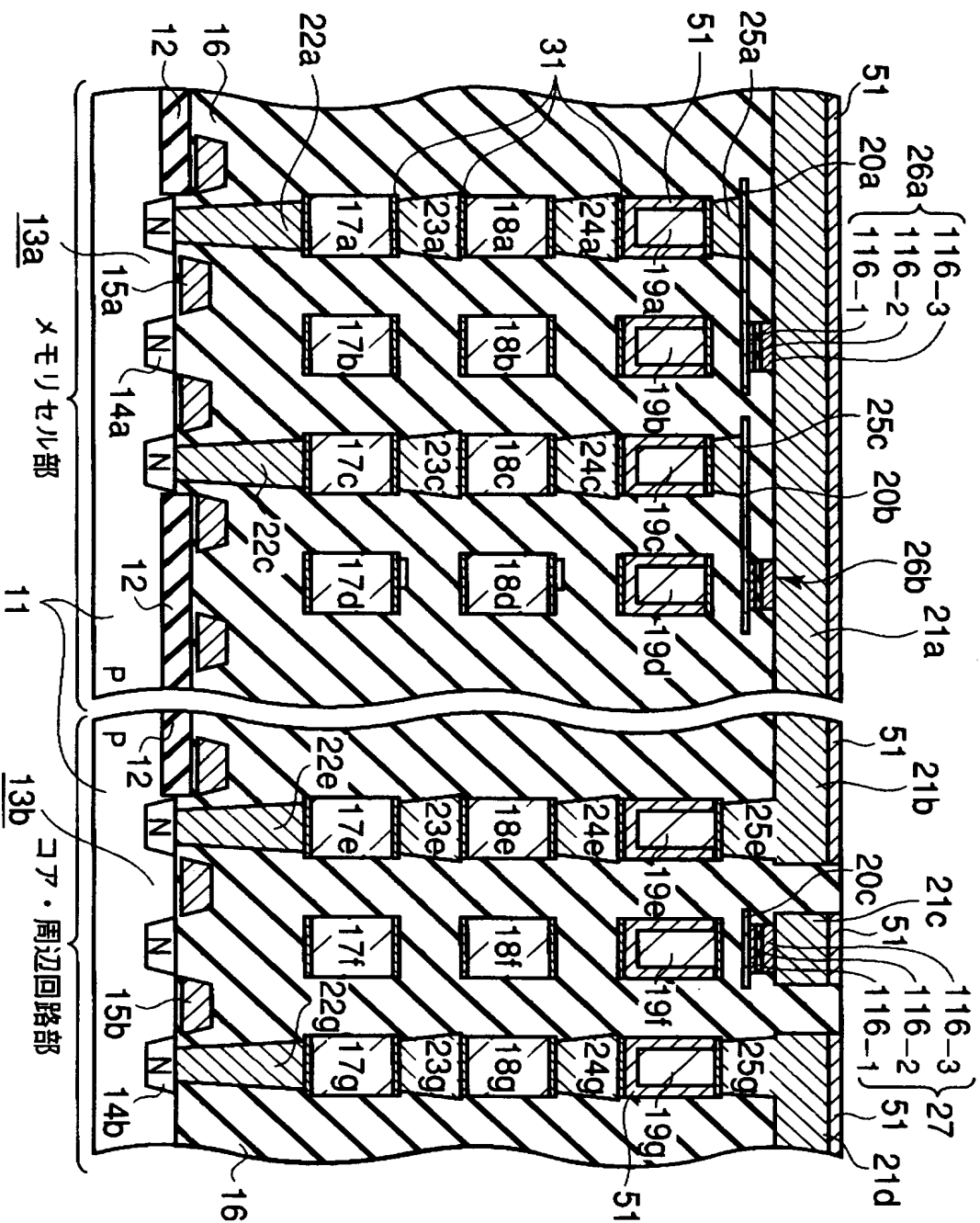
【図 35】



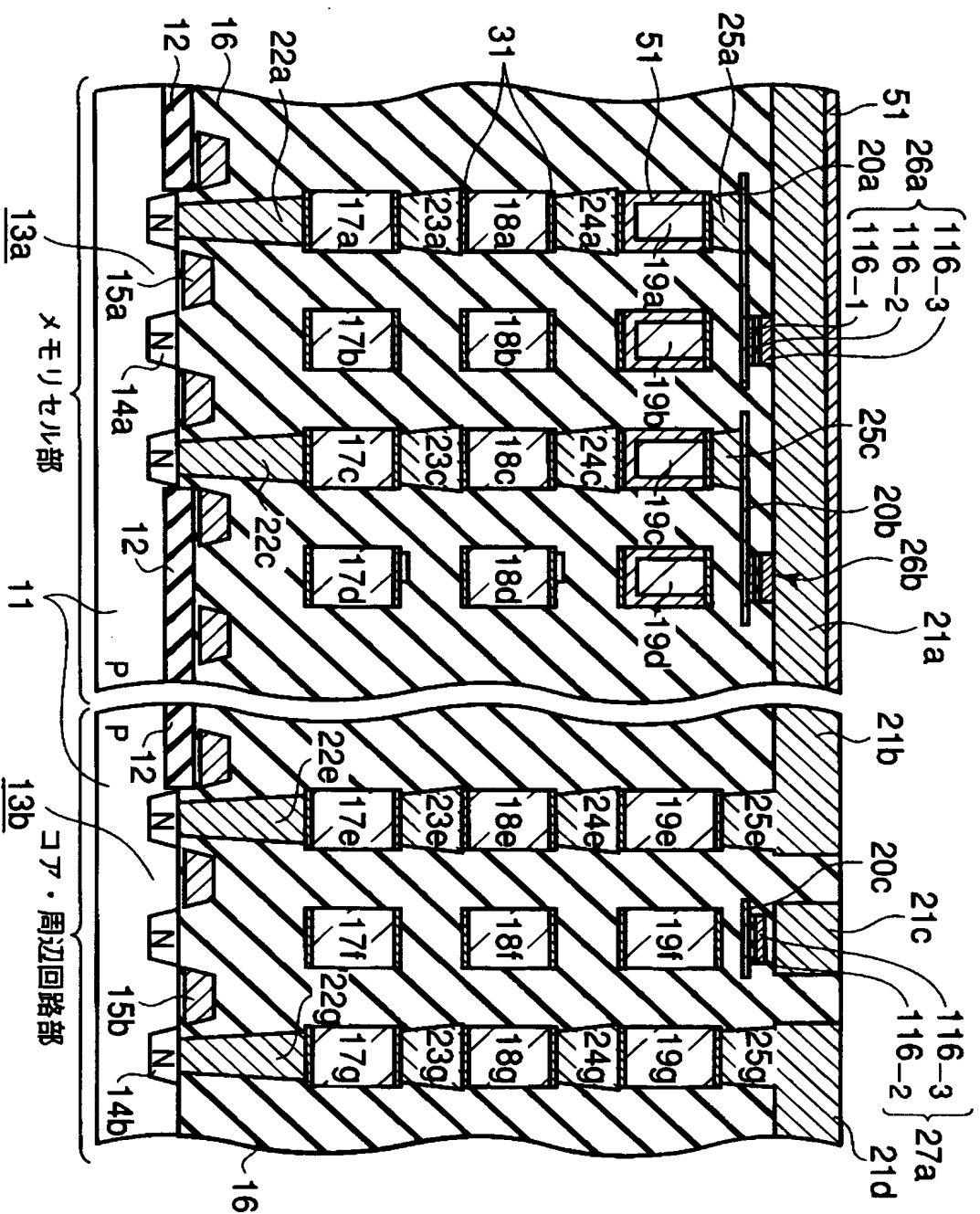
【図36】



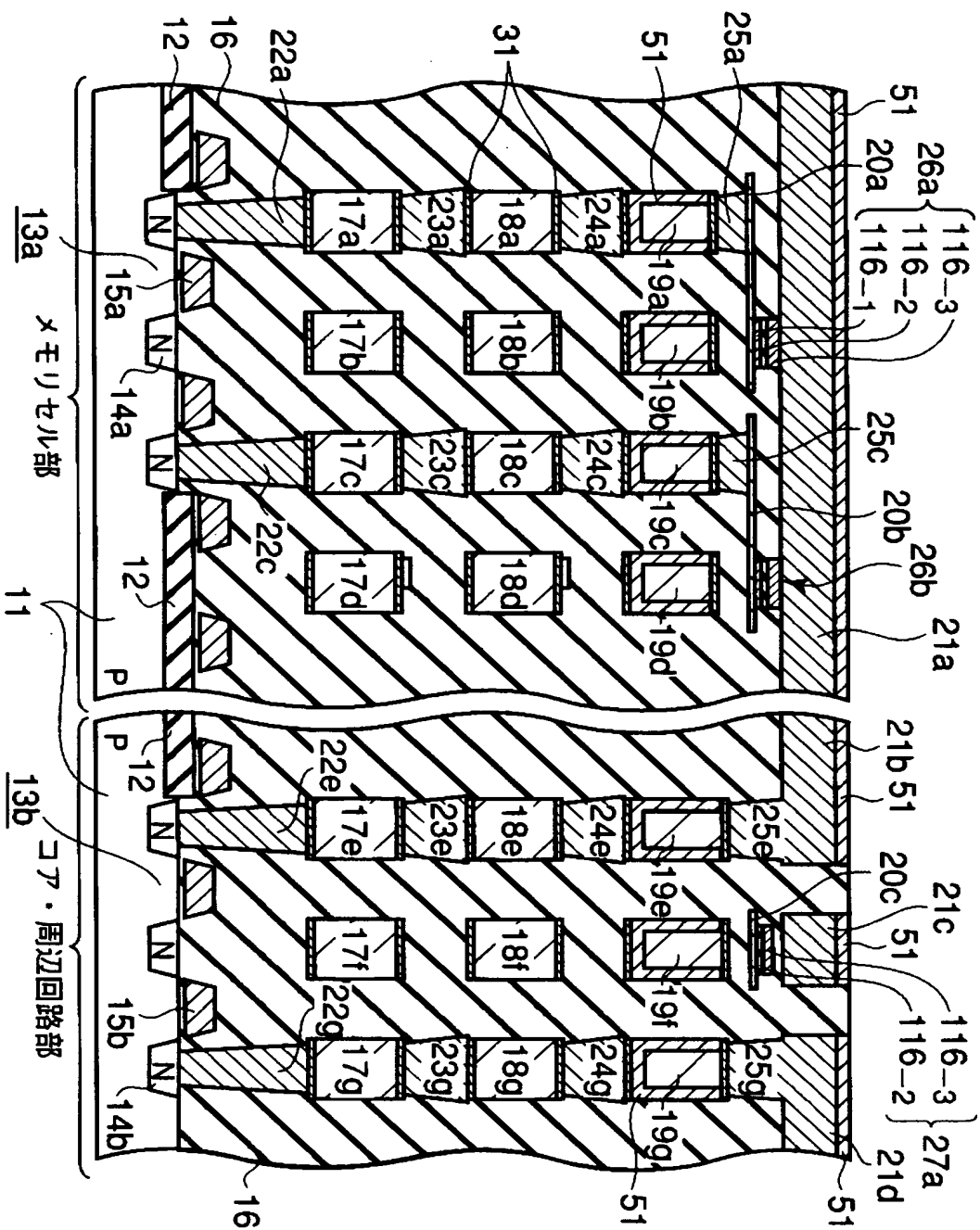
【図 37】



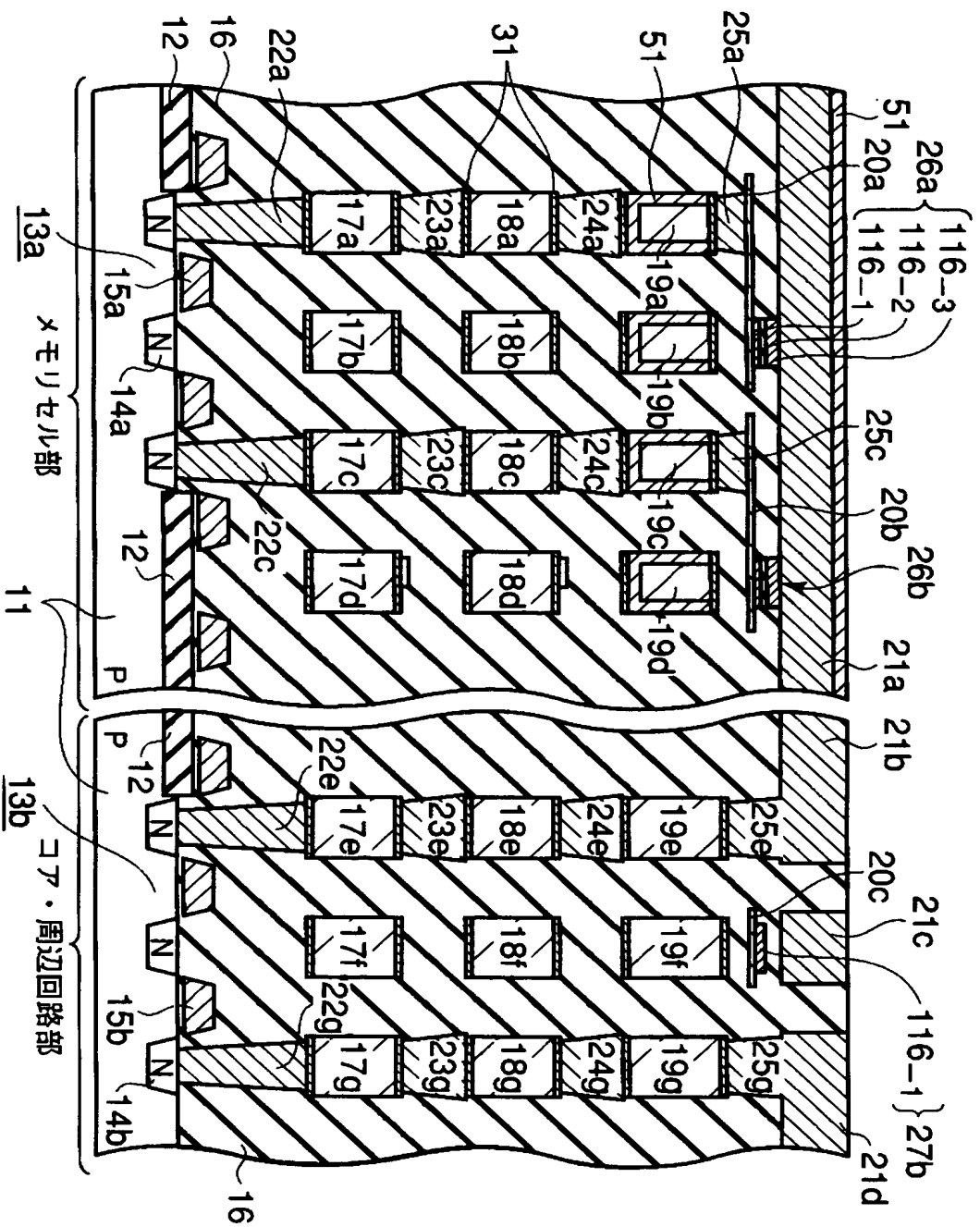
【図38】



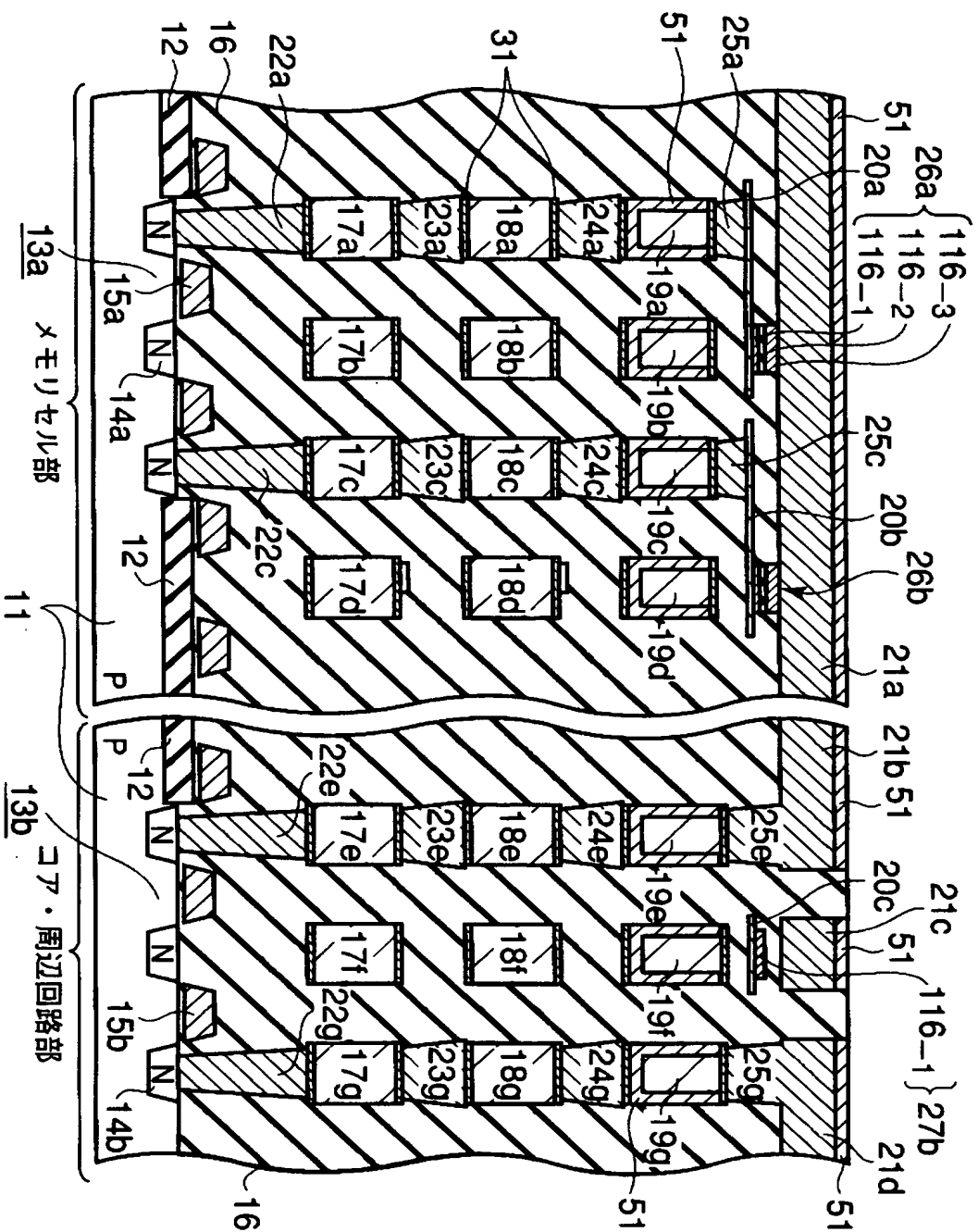
【図39】



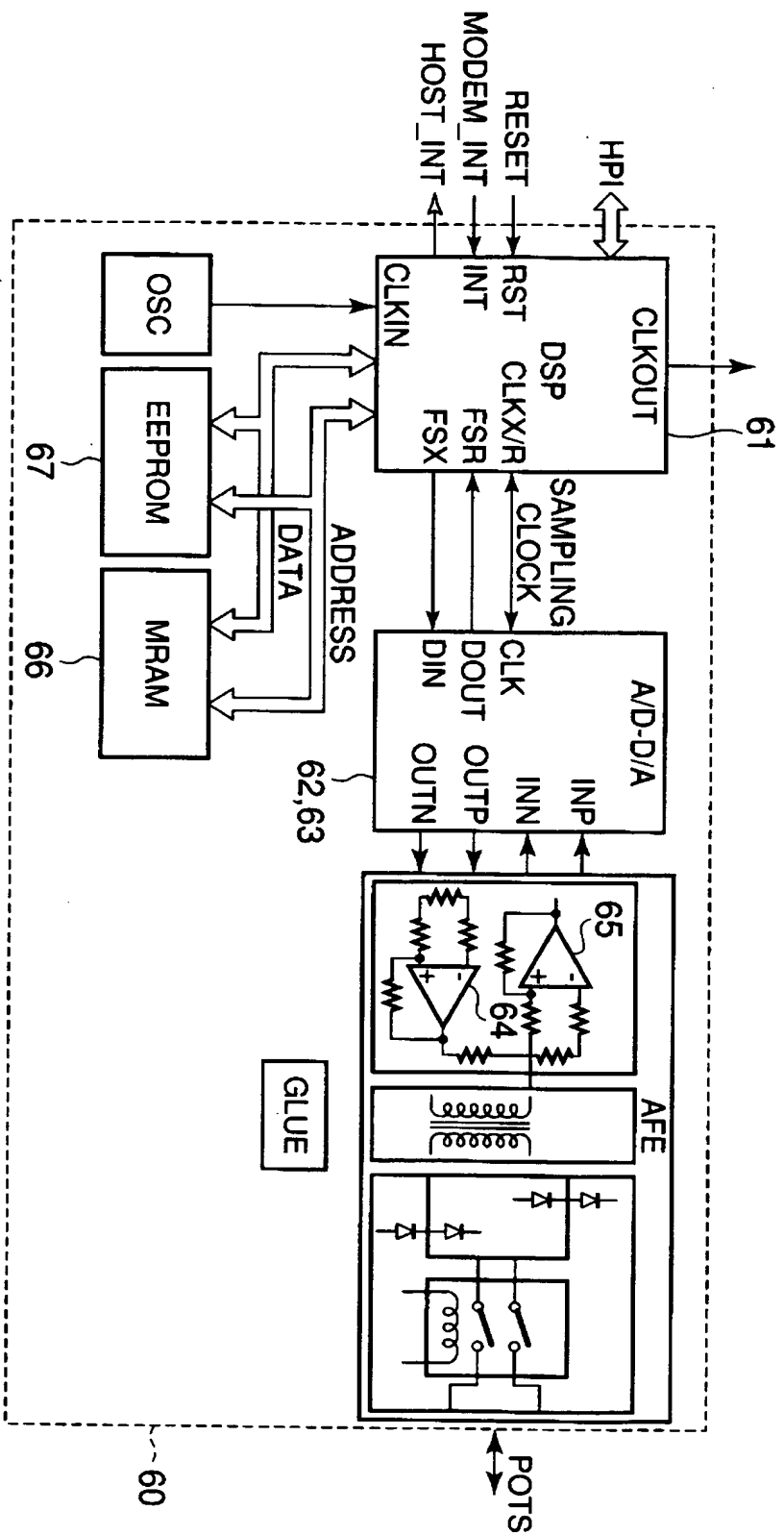
【図40】



【図41】

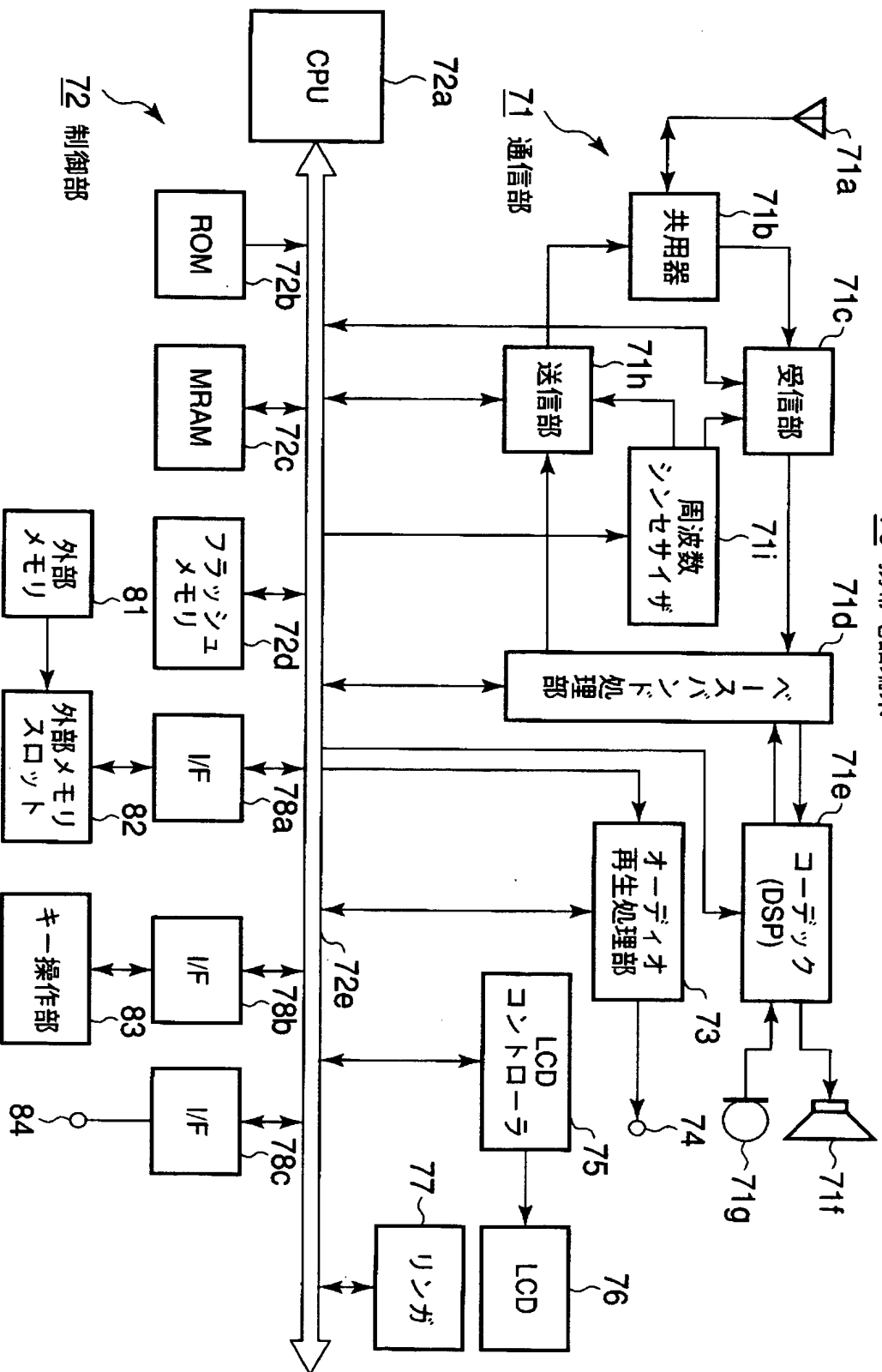


【図42】

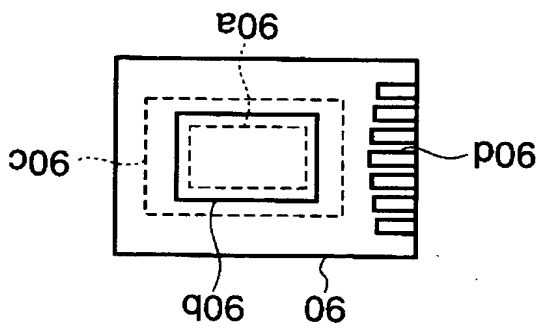




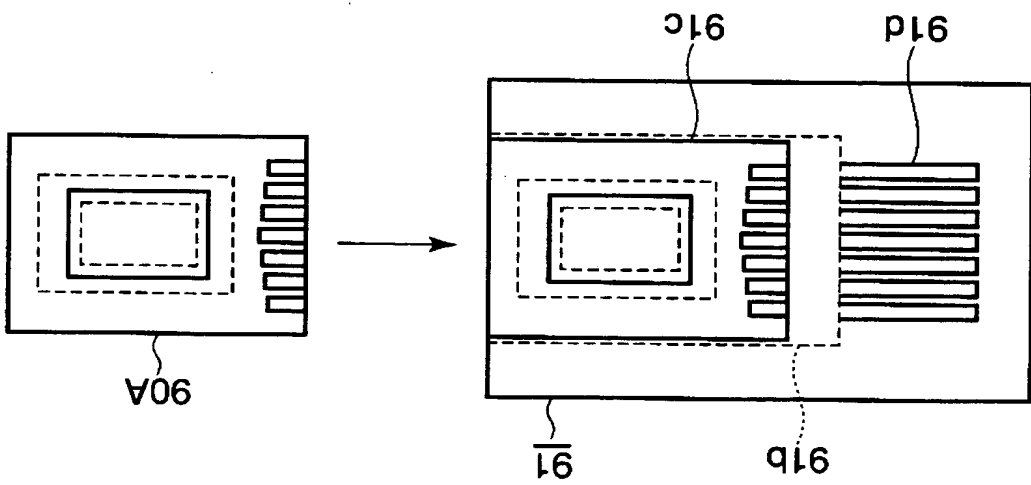
## 70 携帯電話端末



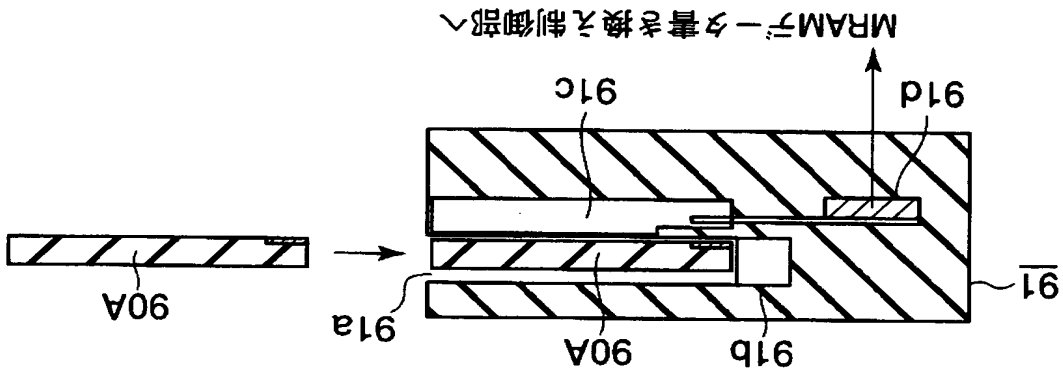
【図 4 4】



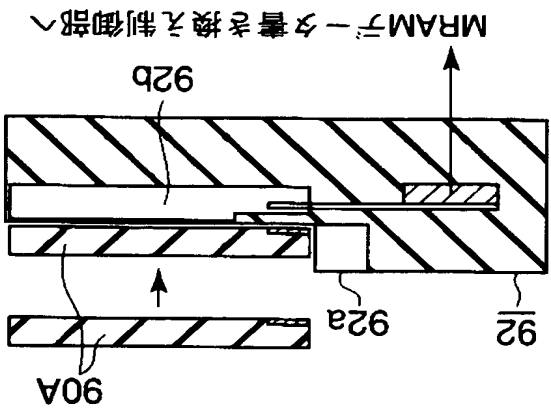
【図 4 5】



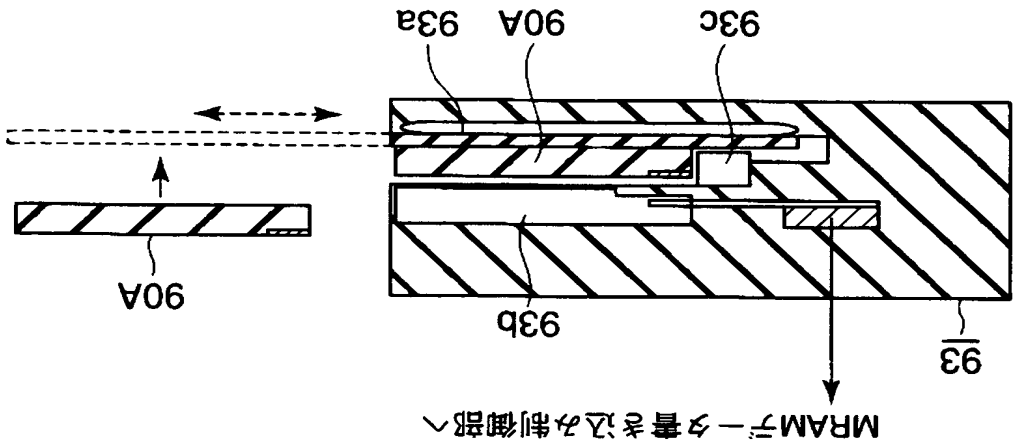
【図 4 6】



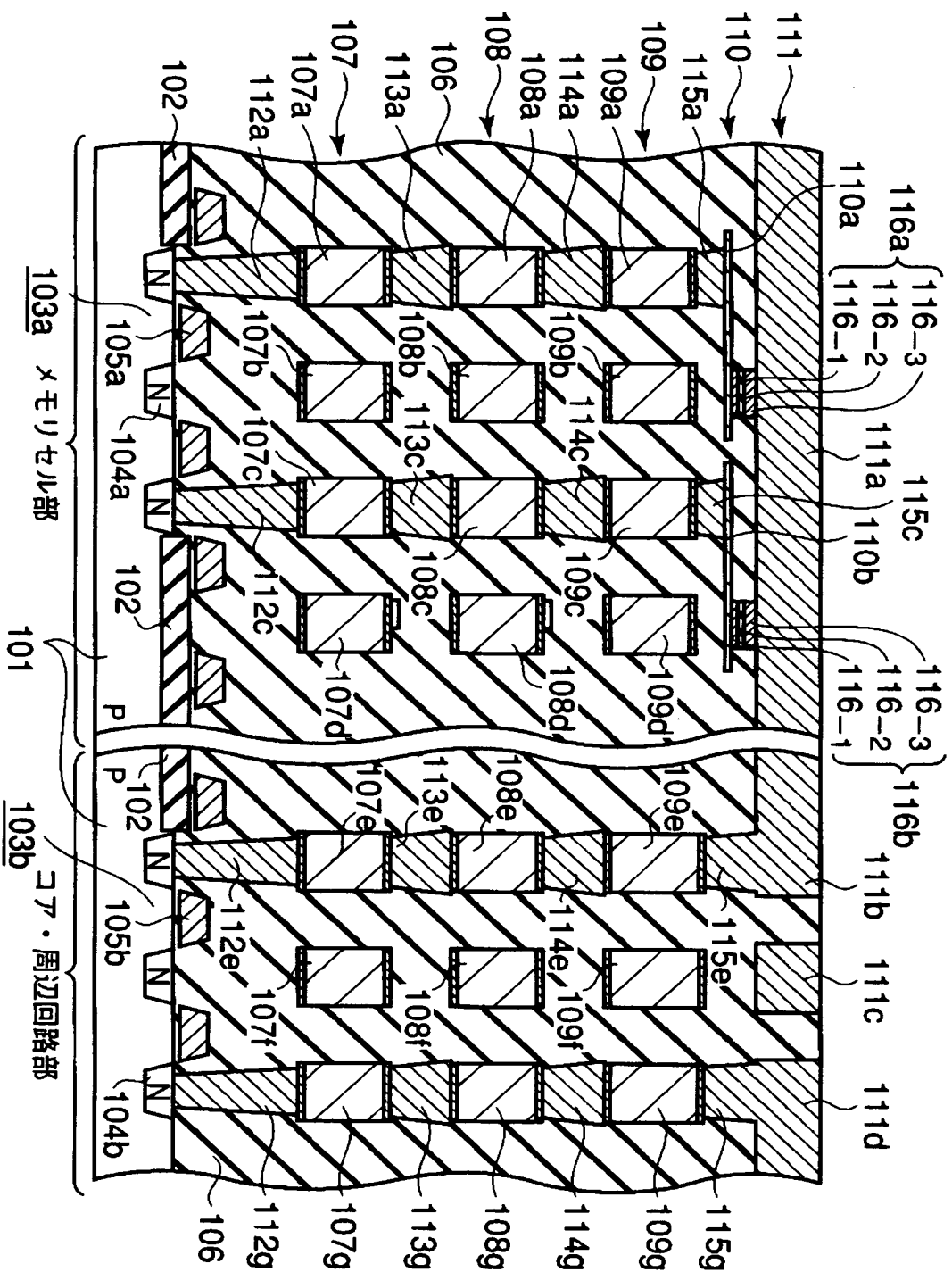
【図 47】



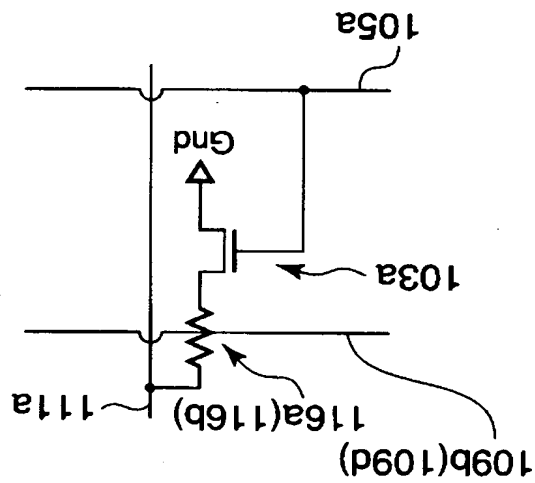
【図 48】



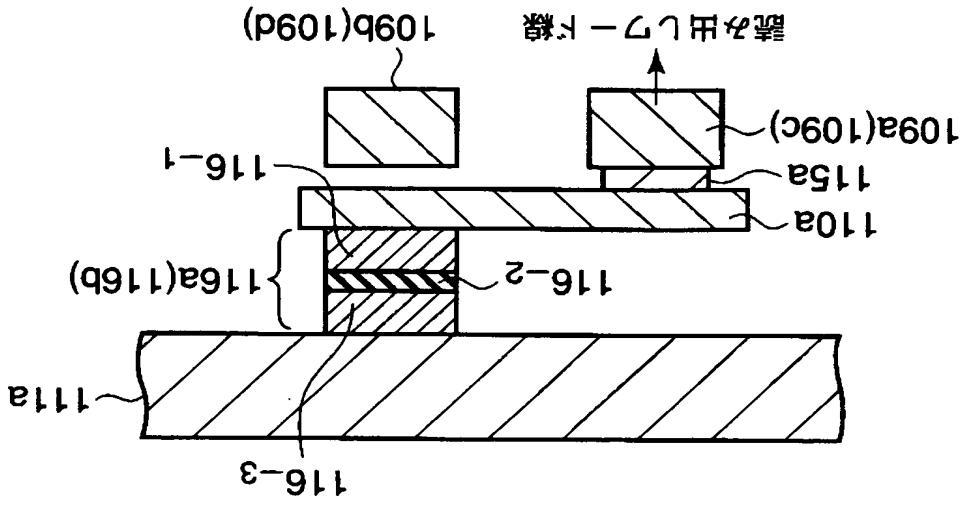
【図49】



【図50】



【図51】



【書類名】 要約書

【要約】

【課題】本発明は、TMR効果を利用したMRAMにおいて、書き込み電流の低減のためにメモリセル部のビット線と書き込みワード線とを近接させて配置するようにした場合に、コア・周辺回路部の近接した配線間で発生する起電力による干渉を低減できるようにすることを最も主要な特徴としている。

【解決手段】たとえば、メモリセル部においては、第4層目の配線20a、20bと第5層目の配線21aとを、それぞれ、TMR素子26a、26bを介して接続する。一方、コア・周辺回路部においては、第4層目の配線20cと第5層目の配線21cとを、上記TMR素子26a、26bと同一のMTJ構造を有するMTJ膜27を介して接続してなる構成となっている。

【選択図】 図1

特願 2003-337511

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

[変更理由]

住所

氏名

住所変更

2001年 7月 2日

東京都港区芝浦一丁目1番1号

株式会社東芝